

如何在 GDDR6 接口设计中克服信号、电源和散热挑战

Brad Griffin

图形处理单元 (GPU) 和图形双倍数据速率 (GDDR) 存储器接口对显卡、游戏主机、高性能计算 (HPC) 和机器学习应用至关重要。目前, 这些接口可实现每秒逾 665GB 的数据传输速度, 而下一代 GDDR 接口将超过每秒 1TB (TBps)。信号完整性 (SI) 和电源完整性 (PI) 与超快数据传输速率、超低电压摆幅和高密度 GDDR6 设计 (通常在硅基板上实现) 引起的散热问题交织在一起。本文介绍了使用兼顾电源影响的 SI 分析和兼顾热影响的 PI 分析作为 GDDR6 设计中系统设计和签核方法的一部分。

目录

概述	2
GDDR6 设计中需要考虑的关键问题	2
设计同步分析	3
GDDR6 存储器接口的 SI 仿真平台	4
工作流程步骤	6
GDDR6 存储器接口的 PI 仿真平台	10
结论	11

产品简介

GDDR 是一种不断发展的接口，适用于许多电子应用。其通常被用于图形密集型应用，如游戏主机和显卡。如今，高带宽使 GPU 可用于其他用途，助力实现高性能应用，如机器学习 (ML)、人工智能 (AI)、图像、汽车高级驾驶辅助系统 (ADAS) 和高性能计算。为了涉足具有 GDDR6 接口的下一代应用，越来越多的公司关注于半导体的异构集成，寻求与 GDDR6 内存控制器知识产权 (IP) 供应商展开合作。

作为 GDDR6 IP 提供商和 EDA 工具提供商，Cadence 拥有独特的市场定位。Cadence IP 事业群利用一整套 EDA 工具来打造测试芯片、封装和 PCB。无论 GDDR6 设计 IP 来自哪里，系统集成商都可以对 Cadence® 整体设计和分析解决方案充满信心，因为他们知道该技术已经被提供该工具的同一家公司用于实际的设计工作。该解决方案包括用于芯片以及中介层、IC 封装和 PCB 的连接器的设计和仿真工具。该解决方案中的工具包括 Cadence Clarity™ 3D Solver 电磁 (EM) 仿真器、Cadence Celsius™ Thermal Solver 和 Cadence Sigrity™ X SI/PI 技术，用于根据联合电子器件工程委员会 (JEDEC) 规范进行仿真和签核，从而以更合理的成本实现 GDDR6，并达到行业标准要求。

GDDR6 设计中需要考虑的关键问题

随着 DDR 接口的发展，建立并保持时间检查不再是检查接口时序一致性的唯一方法。虽然以上仍然是流程的一部分，但如今时序可通过各种 mask 要求来管理。图 1 显示了一个用于数据总线的 mask。多个 mask 用来检查地址、控制和数据之间的关系，以及检查用于在时钟/选通上升和下降边缘的锁存信号的各种选通/时钟。

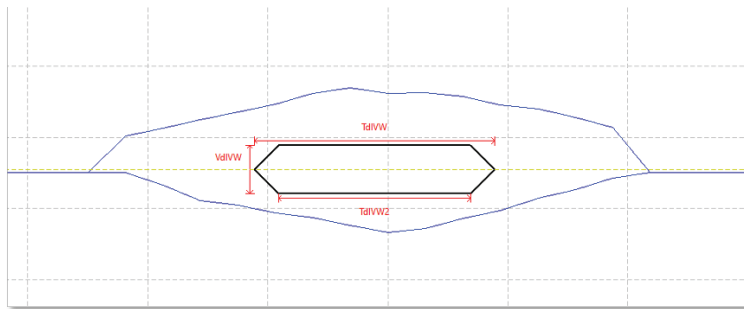


图 1: GDDR6 合规性是用 mask 要求来评估的

与前几代 GDDR 相比，GDDR6 的变化之一是数据总线 (DBI) 和命令/地址位反转 (CABI) 的数据反转，减少了需要同时切换的信号数量。这减少了同步切换噪声 (SSN)，从而减少误码，确保 GDDR6 接口达到所需的误码率 (BER)。为了准确模拟最新一代 GDDR 的数据传输速度，控制器和存储设备都需要支持前馈均衡 (FFE)、连续时间线性均衡器 (CTLE) 和决策反馈均衡 (DFE) 建模，并使用输入/输出缓冲信息规范 (IBIS) 算法建模接口 (AMI) 模型。

设计同步分析

GDDR6 设计需要全面的签核流程,但通过在设计过程初期使用设计同步工作流程,设计团队可以更快地通过签核阶段。设计同步分析完善了约束驱动流程。约束条件提供了设计者必须遵守的规则,而在设计者进行设计布局时,设计同步分析为设计者提供了仿真引擎。这使设计团队能够在设计周期的早期发现问题,意味着可在全面签核分析阶段花费更少的时间。

GDDR6 等存储器接口的设计者必须关注阻抗不连续和返回路径质量。图 2 显示了在 PCB 设计过程中可以采用的电气规则检查 (ERC) 筛选技术。阻抗分析有助于设计者识别异常值,如在电源/地平面分叉上的布线(左)。设计者还可以分析耦合,在不使用 IBIS 模型的情况下尽早发现潜在的串扰问题(中)。最后,设计者可以分析返回路径,利用返回路径的质量系数作为指标,来发现可能存在返回路径问题的网络。选定的信号突出显示平面上的返回电流,以便设计者可以在 PCB 设计环境中直观地显示并直接修改返回路径的质量(右)。

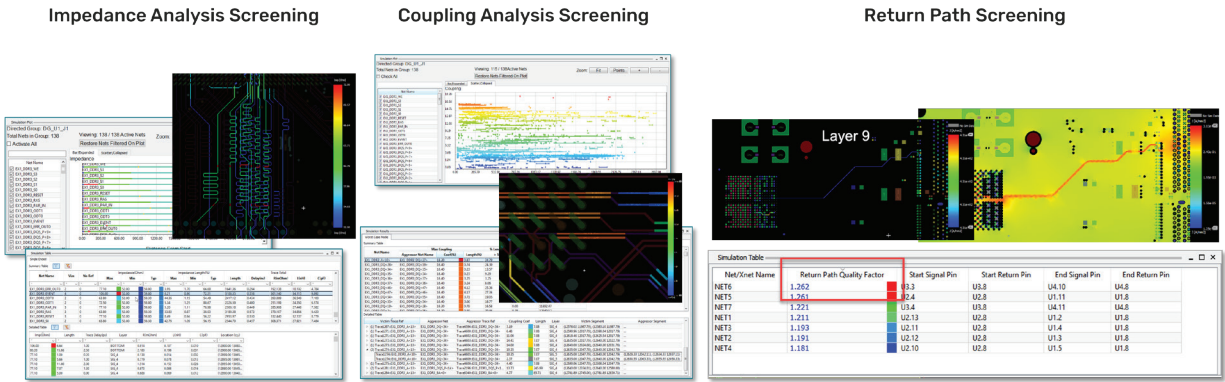


图 2: 信号质量的设计同步分析

对于更复杂的分析,设计者可以调用反射和串扰工作流程来查看时域波形。仿真是由分配给实现环境中的组件的行业标准 IBIS 模型实现的。利用这些 IBIS 模型来对 I/O 建模,反射和串扰分析可以揭示整体信号质量(图 3)。

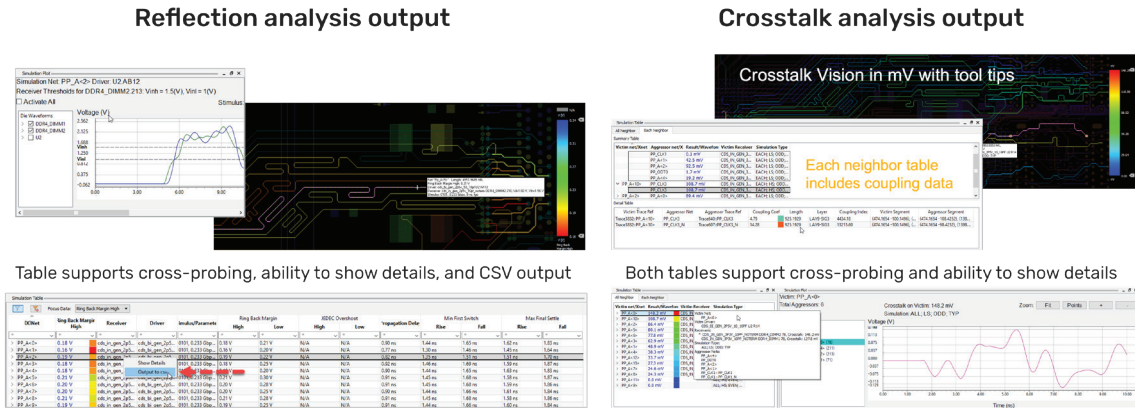


图 3: 信号完整性和串扰的设计同步分析

GDDR6 存储器接口的 SI 仿真平台

GDDR6 设计的关键步骤之一是从 PCB 和 IC 封装中提取互连。使用 Cadence 工具对系统互连进行建模有不同的方法: Sigrity X PowerSI™ 混合求解器、全波 3D 有限元法 (FEM) Clarity™ 3D Solver、或者二者结合的“cut-and-stitch 流程”方法。对于能够获得 PCB 和 IC 封装设计数据的公司,可以合并 PCB 和封装来进行提取,其中包括 IC 封装和 PCB 之间的耦合(图 4)。

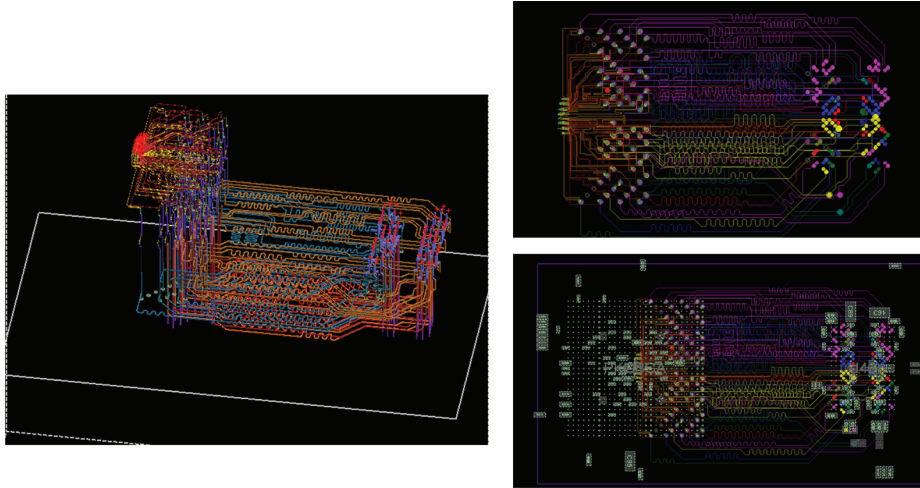


图 4: IC 封装和 PCB 可以合并到一个环境中进行提取

对于无法获得封装设计的 PCB 设计团队,应该向半导体供应商索取内存控制器和存储器的封装模型,这些封装模型可以与提取的 PCB 模型级联,进行系统分析设计。

如果设计是使用 Cadence PCB 或封装设计工具实现的,那么设计数据,包括堆叠和材料属性,将自动读入提取工具,不需要手动输入。如果设计不是使用 Cadence 设计工具实现的,那么设计数据通过 IPC-2581 或 ODB++ 制造文件格式读入。

Clarity 3D Solver 是强大的 FEM 求解器,提供并行化和分布式计算技术,完成大型复杂设计全波 3D 提取的速度远远快于传统的 FEM 工具。Sigrity X PowerSI 工具也结合了分布式计算技术,可使用混合求解器快速提取 S 参数。在这个 GDDR6 的例子中,PowerSI 技术在 15 分钟内提供了一个完整的模型,而 Clarity 3D Solver 利用全波 3D FEM 方法,在 1.5 天内使用 64 个处理器核心解决了同样的问题。cut-and-stitch 方法结合了这两种方法,精度高于单独的混合求解器,可在数小时内得出结果。

何时使用哪种提取技术?首先,设计者可以利用 PowerSI 混合提取技术实现快速提取,以便第一时间查看 S 参数。通多检查插入损耗、返回损耗和基本频率,确定是否需要修改布局。签核时,则可使用 Clarity 3D FEM 提取技术。在使用 PowerSI 进行初始建模之后和最终签核之前,设计者可以使用 cut-and-stitch 流程来关注接口周围的感兴趣区域,并为每个区域分配提取技术。可以把带有过孔、过孔残桩、非均匀返回路径等的区域分配给 Clarity 3D Solver,把带有较长传输线(性能良好并具有统一返回路径)的区域分配给混合求解器。随着设计的成熟,还可以结合使用这两种求解器,实现快速且合理的准确结果,所用时间将大大短于全波 3D FEM 提取,并在精度和提取时间之间实现平衡。

Clarity 3D Solver 的可扩展性也可加速签核过程。由于有了更多可用的 CPU 内核,GDDR6 示例可以在 1.5 天内加速完成。将计算核心的数量增加一倍,通常可使仿真时间缩短近一半。此外,该过程的内存效率非常高——32 核处理器加上 256GB 内存完全可以胜任该任务。如果算力不够,设计者可以使用 Clarity 3D Solver Cloud 解决方案。借助 Clarity 3D Solver Cloud,所有的设置都可以在本地机器上完成,而仿真则被发送到安全的 AWS 云。仿真结果将返回到本地机器,就像仿真是在本地或企业内部的服务器群上运行一样。

创建并行总线拓扑结构

在提取之后，设计者可使用 Sigriy X SystemSI™ 并行总线分析 (PBA) 工具中的拓扑工作平台来创建拓扑结构 (图 5)。这个 GDDR6 接口显示了基于模块的拓扑结构，设计者将模块放置在接口的不同部分。图 5 显示了一个板载存储器示例及其控制器和两个存储器的 IBIS 模型。IBIS 模型之间是 IC 封装和 PCB 的独立互连模型。如前文所述，另一种方法是将封装和 PCB 结合到一个单一的互连模型中，以了解 IC 封装和 PCB 之间的电磁影响。请注意，IBIS AMI 气泡已经连接到 IBIS 模型。所有模块相连——紫色连接器代表模块之间的多个连接（只有一条线是可见的，但有多条连接）。连接完成之后，就可以开始分析了。

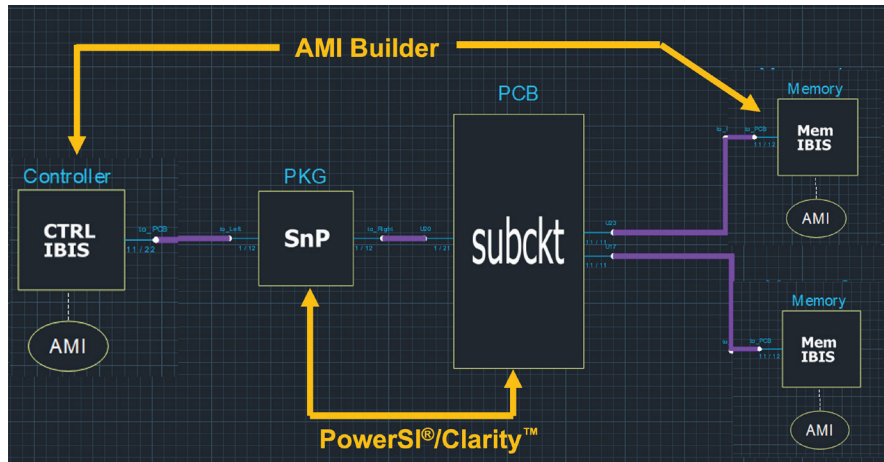


图 5: 利用 SystemSI 并行总线分析工作流程的拓扑结构工作台

一般来说，信道仿真是在串行链路上进行的，具体而言就是用差分对进行的。Cadence 开发了获得专利的单端信号信道仿真技术，使设计者能够模拟 GDDR6 等接口所需的数百万比特，包括 SSN 和串扰效应。使用默认选项或者上升斜坡响应、下降斜坡响应或上升下降响应，可以轻松在工作流程中分析电路仿真与信道仿真的相关性。对于高速存储器接口的签核，这个流程的工作流步骤是独一无二的。

信道仿真的 IBIS AMI 部分最好使用来自组件供应商的模型。如果供应商不能提供 IBIS-AMI 模型，则可以借助基于向导的工作流程，根据组件规范创建 IBIS-AMI 模型。

并行总线 SystemSI PBA 环境中的所有步骤都是基于工作流程的。包括设置、仿真和评估结果的工作流程。这些工作流程支持不同类型的分析，包括电路仿真和信道仿真，以及将这些与总线仿真相结合的能力。最后，有一个直观的仿真参数设置用于激励源定义和模型选择。

工作流程步骤

工作流程中的第一步是运行电路仿真来检查波形质量，并确保眼图没有问题（图 6）。

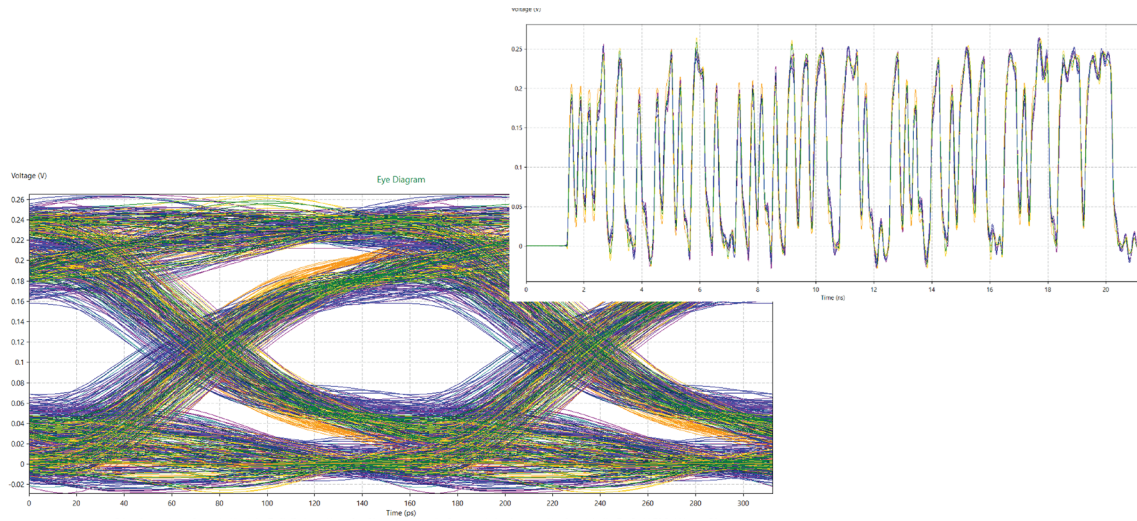


图 6: 工作流程的第一步是检查波形质量和眼图

设计者可以检查电路仿真中的总线响应，并检查眼图模板以确保适配（图 7）。

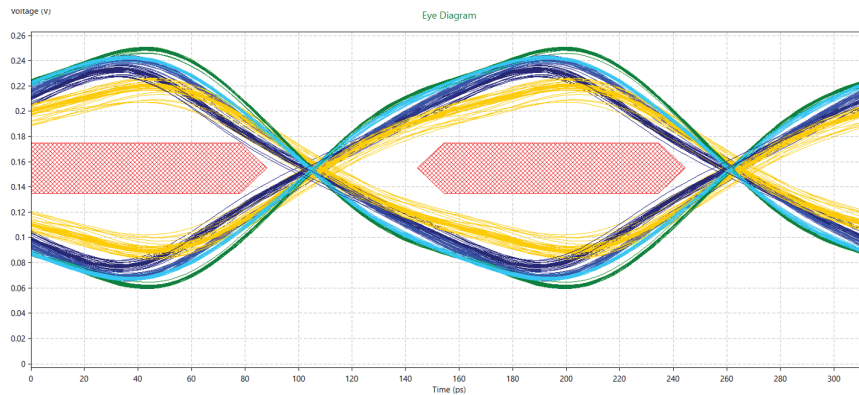


图 7: 检查以确保眼图模板适配

运行初始仿真后，下一步是运行电路/信道相关性。这在该工作流程中也很容易做到，因为工具会自动完成所有的设置和仿真，并提供叠加的视图以作比较（图 8）。

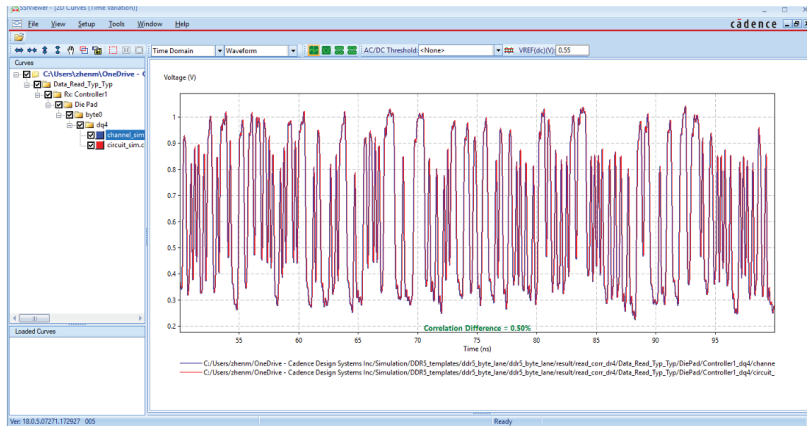


图 8: 工作流程中的电路/信道相关性仿真

需要 3% 或更高的匹配度来限定信道仿真的使用，并进入下一步，因为最终将运行数百万比特的信道仿真，来看是否符合用于误码率眼图模板和眼开度的 GDDR6 规范。选择不同的斜坡响应选项，将使 SI 工程师能够找到在容差范围内实现相关性的最佳选项。

接下来，运行信道仿真，检查 AMI 模型各项配置，确定是否需要启用均衡设置。该工具可以禁用任何 AMI 模型，并运行基线仿真，确定是否需要控制器、存储器或两者进行均衡（图 9）。

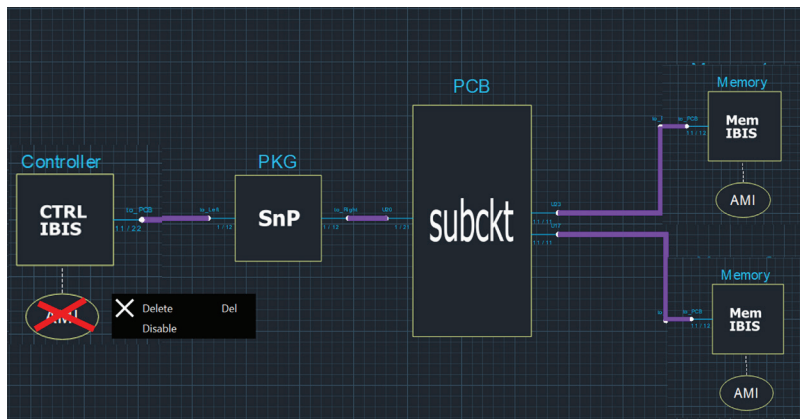


图 9: 信道仿真和 AMI 模型

确定了均衡需求后，就可以进行假设分析，改变 AMI 参数，并检查其对眼开度的影响或者扫描某些 AMI 参数。可以扫描多个参数，包括 AMI 参数。在本例中，对发射和接收的 AMI 参数进行了扫描，每个步骤有三个计数，产生九次迭代。这些结果被叠加，使设计者能够确定给出最佳结果的仿真，并在 AMI 模型中设置这些值。

在确定适当的 AMI 参数后，设计者运行信道仿真来检查波形和眼开度（图 10）。

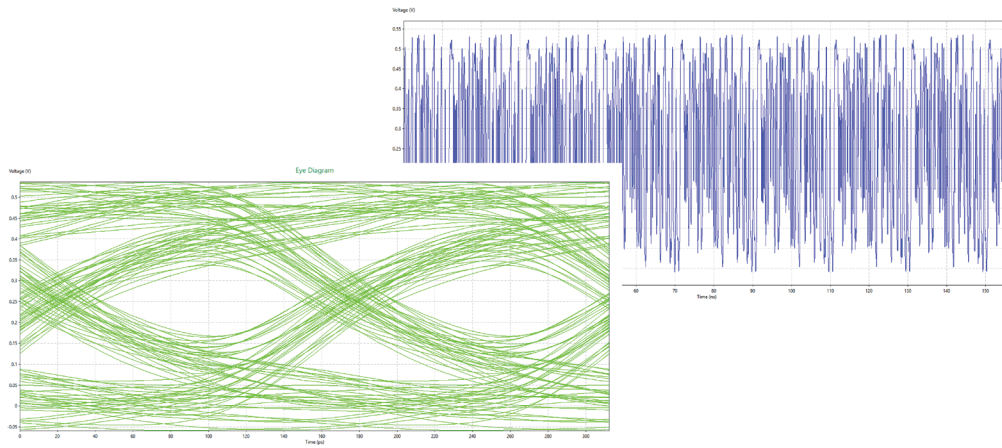


图 10: 波形和眼开的结果

可以指定用于眼图的比特数，默认为保存最后 1000 比特。该工具返回的其他结果包括浴盆曲线和不同信号的眼高报告，以检查更高的误码率导致的眼高减少。

图 11 是一个眼图，显示了 2D 和 3D 视图中噪声和抖动的分布。

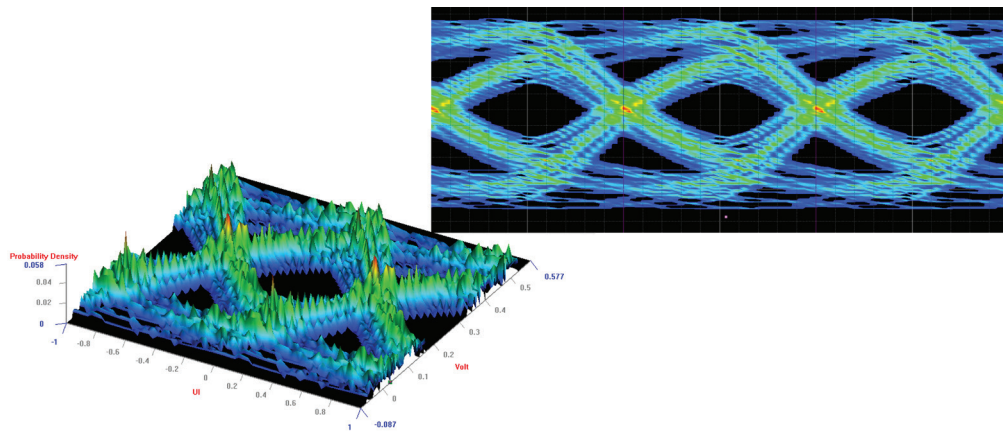


图 11: 眼图的 2D 和 3D 视图

运行信道仿真后，作为工作流程的一部分，设计者会对总线进行额外的特性分析，以捕获个别信号中的串扰。由于这是信道仿真，所以需要以略微不同于自带的电路仿真的方式对串扰进行特性分析。

图 12 比较了电路仿真和信道仿真下眼图的测量，它们在眼高和眼宽上吻合的很好。这使设计者相信，可以运行一百万比特以上的仿真来捕捉串扰对误码率的影响。这十分重要，有助于了解设计在现场的运行情况并确保满足 GDDR6 合规性要求。

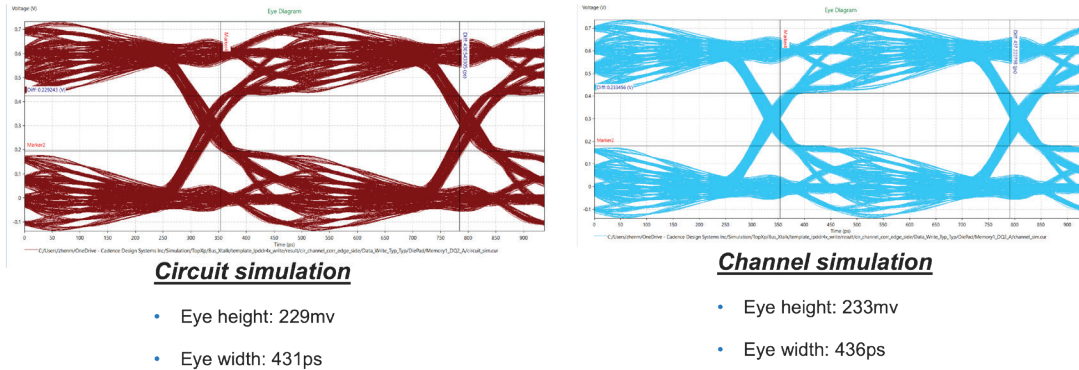


图 12: 电路仿真 (左) 和信道仿真 (右) 的眼图测量结果比较

工作流程的下一步是在信道仿真中包括电源噪声效应。到目前为止，已经假定了控制器和存储器设计的理想电源 (VED 和 VCC)。电源噪声的影响需要包括在电路和信道仿真中。信道仿真电源效应是通过表征来捕获的，而电路电源效应是通过互连模型本身来捕获的。为了验证信道中的电源噪声，要运行两个信道仿真，一个带有理想电源，另一个带有非理想电源。利用仿真结果，设计者可以比较表征响应和其他信道仿真结果，查看非理想电源对眼开度的影响 (图 13)。

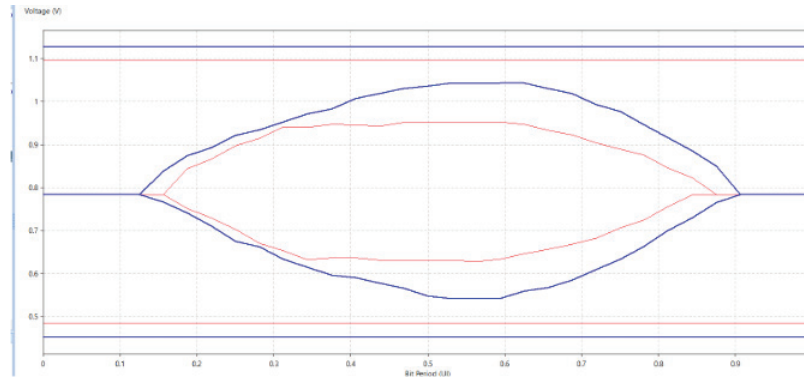


图 13: 表征响应比较，蓝色表示理想电源，红色表示非理想电源和串扰

完成此步骤后，就可以生成一个报告，用于合规性检查和签核。GDDR6 JEDEC 规范被纳入报告生成过程，并包含一个增强的数据速率相关测量结果。该报告强调了任何超标。可以选择报告表中的任何信号，查看 mask 自动计算的眼开。如果存在超标，可以进行假设分析以寻找解决方案。

GDDR6 存储器接口的 PI 仿真平台

许多信号完整性工程师也负责电源完整性。GDDR6 仿真平台示例也可用于验证 PCB 和 IC 封装流过的足够、有效、稳定和可靠的电源，以实现电源完整性签核 (图 14)。

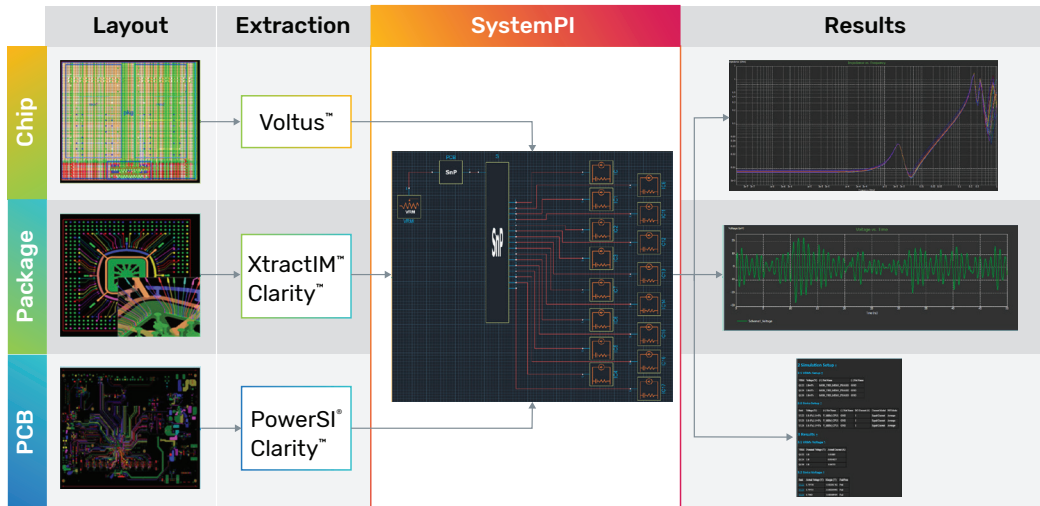


图 14: 用于电源完整性分析的 SystemPI 数据流

从信号完整性的角度来看，仿真从发送器到接收器进行。对于电源完整性，仿真从电压源或稳压模块 (VRM) 到电压 sink (器件引脚) 进行。借助基于拓扑结构的新的用户界面，可以方便地通过电缆、连接器和 PCB、封装、中介层等结构连接多个结构。

恰当的电源完整性分析必须是兼顾热影响的。压降分析应该与热分析相结合。Cadence Celsius PowerDC™ 和 Celsius Thermal Solver 通过其他 Cadence 分析工具使用的通用用户界面提供电热协同仿真以及 3D 热视图 (图 15)。

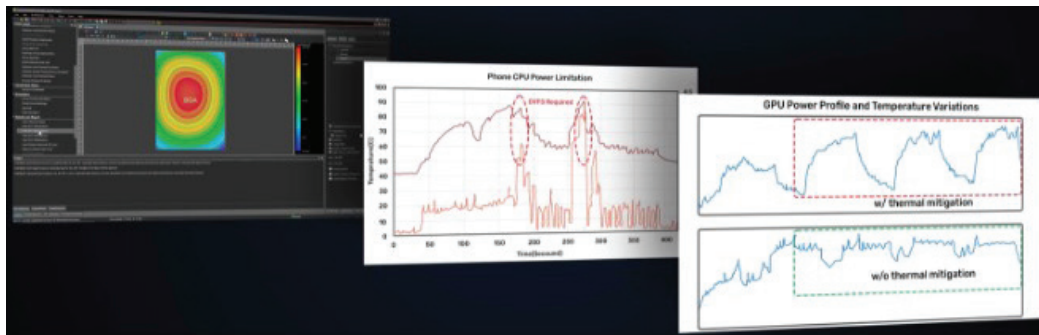


图 15: Celsius Thermal Solver 检查手机应用中 GPU 的热缓解的情况

结论

存储器接口路线图在不断发展。可能支持 1.5TBps 的 GDDR7 规范正在开发中, 美光和 NVIDIA 已经在生产 1TBps 的 GDDR6X 临时样品。迈向 GDDR6X 和 GDDR7 中使用的 pulse- amplitude modulation 4 (PAM4) 将遇到新的挑战。Cadence 利用自身在串行链路分析 PAM4 仿真方面的丰富经验, 大力推动并行总线分析技术的发展。随着串行链路和并行总线领域的不断融合, Cadence 将准备好内部使用的工具, 解决前沿存储器接口面临的挑战。

GDDR 接口的发展已经超越了最初的应用, 即解决游戏应用中对数据饥渴型 GPU 的快速数据访问需求。如今, 设计软件将 GDDR6 用于更多高性能应用, 包括汽车、高性能计算、人工智能/机器学习和 5G。设计团队可以放心利用 Cadence 的全方位解决方案来应对存储器接口设计和分析方面的挑战, 包括 IP、系统级芯片 (SoC)、中介层、IC 封装和 PCB。

cadence[®]

Cadence 在计算软件领域拥有超过 30 年的专业经验, 是电子系统设计产业的关键领导者。基于公司的智能系统设计战略, Cadence 致力于提供软件、硬件和 IP 产品, 助力电子设计概念成为现实。Cadence 的客户遍布全球, 皆为最具创新能力的企业, 他们向超大规模计算、5G 通讯、汽车、移动、航空、消费电子、工业和医疗等最具活力的应用市场交付从芯片、电路板到完整系统的卓越电子产品。Cadence 已连续七年名列美国财富杂志评选的 100 家最适合工作的公司。如需了解更多信息, 请访问公司网站 www.cadence.com

© 2022 Cadence Design Systems, Inc. 版权所有在全球范围保留所有权利。Cadence、Cadence 徽标和 www.cadence.com/go/ trademarks 中列出的其他 Cadence 标志均为 Cadence Design Systems, Inc. 的商标或注册商标。所有其他标识均为其各自所有者的资产。
J10407 09/22 AA/KZ/PDF

