

Spectre AMS Designer

先進のミックスシグナル・シミュレーション・ソリューション

Cadence® Spectre® AMS Designer は、アナログ、RF、メモリ、およびミックスシグナルのシリコンを実現する設計と検証のための、先進のミックスシグナル・シミュレーション・ソリューションを提供します。また、Cadence Virtuoso®フルカスタム環境および Cadence Xcelium™ Parallel Logic Simulator と統合されています。Spectre AMS Designer は、標準的なミックスシグナル言語 (Verilog-AMS および VHDL-AMS)、SystemVerilog、および SPICE レベルのモデルによる柔軟な抽象化をサポートする単一のシミュレーション実行を提供します。アナログ領域とデジタル領域の架け橋として、ユーザーは設計や検証のタスクに応じて適切なアナログソルバを選択することができます。設計者は、SPICE 精度のブロックレベルのアナログおよび RF 設計のために、Spectre テクノロジー: Spectre Accelerated Parallel Simulator (APS)、Spectre RF Option、Spectre X Simulator、Spectre eXtensive Partitioning Simulator (XPS) を選択することができます。

Spectre Simulation Platform

Spectre Simulation Platform は、高性能かつ大容量のニーズとアナログ精度を両立させる業界屈指のソリューションとして、複数のソルバを備えており、回路レベル、ブロックレベル、システムレベルのシミュレーションと検証作業を設計者は簡単かつシームレスに行うことができます。プラットフォームの基盤となるのは、パーサー、デバイスモデル、Verilog-A ビヘイビアモデリング、入力データフォーマット、出力データフォーマットなど、すべてのシミュレータが共有する統一された技術であり、これにより、選択したシミュレータにかかわらず、一貫した正確な評価方法が保証されます。個々のソルバに加えて、Spectre のシミュレーション技術は、Xcelium™ Logic Simulation、Liberate™ Trio Characterization Suite、Legato™ Reliability Solution、Virtuoso® ADE Product Suite、Voltus™-Fi Custom Power Integrity Solution、Virtuoso RF Solution など、ケイデンスの他のテクノロジー・プラットフォームにもうまく統合されており、業界で最も包括的なクロスドメイン・シミュレーション・ソリューションを提供しています。

Spectre AMS Designer

主な利点

- ▶ 実績のある Spectre および Xcelium シミュレーション技術を用いて設計品質を確保する

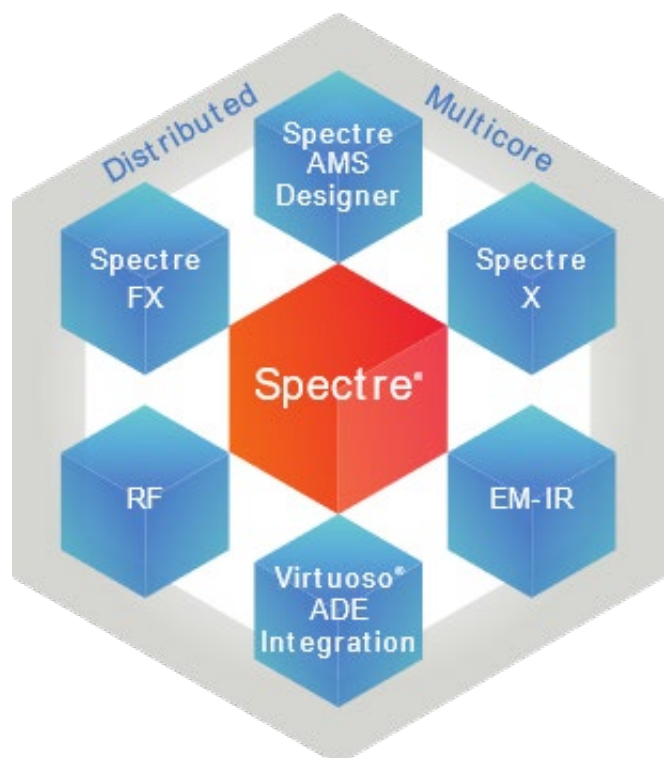


図 1. Spectre Simulation Platform

- ▶ Virtuoso ADE Product Suite のアナログ設計フローのユースモデルと、Xcelium 環境のデジタル検証のユースモデルの両方をサポート
- ▶ トップダウンとボトムアップの両方の手法をサポートすることで、設計サイクルの早い段階で設計の不具合を迅速に検出して修正し、テープアウトのスケジュールに間に合わせることができる
- ▶ 豊富な言語サポートにより、より高い抽象度とシミュレーションの高速化を実現し、ターンアラウンドタイムの短縮を実現
- ▶ RF トランシーバーのエンベロープ解析とデジタルベースバンドシミュレーションを組み合わせることで、SPICE 並みの精度で RF 回路のシミュレーションをサポートし、結果の収束を早める

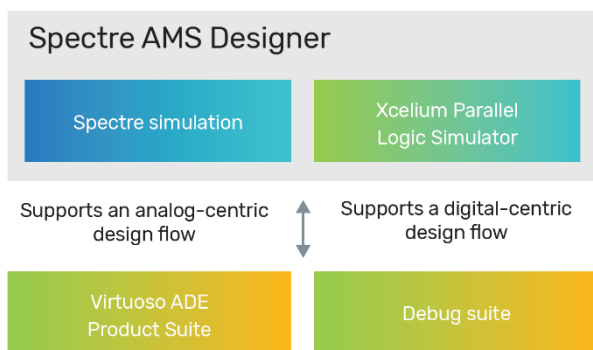


図 2.1 つのシミュレータでどちらの検証フローにも対応

主な機能

メソドロジーに依存しないデザイン収束

Spectre AMS Designer は、今日の SoC 設計において、異なるソース、異なるフォーマットの IP を柔軟に組み合わせることができます。それは、単にアナログブロックとデジタルブロックのコ・シミュレーションを行うだけではありません。Spectre AMS Designer では、Virtuoso Schematic Editor のブロックとテキスト記述を同等に扱うことで、異なるデータ入力ポイントを可能にしています。Verilog-AMS、VHDL-AMS、Verilog-A、Verilog、VHDL、SystemVerilog、SystemC®などの標準的な言語フォーマットや SPICE での記述が可能で、これらの言語を組み合わせることでシミュレーションを行うことができます。これにより、ボトムアップとトップダウンの設計手法が、完全に機能的なデザインに収束します。

Verilog-AMS や VHDL-AMS のビヘイビアモデルや回路図表現など、抽象度の異なるモデルを容易に交換できるため、フルビヘイビアからフルトランジスタまで、時間の経過とともにデザインを変化させることができます。Hierarchy Editor を使用してデザイン全体を構成することで、複雑なミックスシグナルデザインの表示とデザインの準備が容易になります。自動的に挿入されたインターフェース・エレメントは、あるドメインから次のドメインへ信号を変換するために使用され、ユーザーはシミュレーションの速度と精度を容易にトレードオフできるように、さまざまなデザイン構成でシミュレーションを行うことができます。

また、SpectreAMS Designer は、RSA 技術を用いた IP の暗号化にも対応しており、IP の再利用やバーチャルプロトタイプングの手法を確立することができます。

実績のある Spectre や Xcelium シミュレーションテクノロジーとの統合

Spectre AMS Designer は、Spectre Circuit Simulator、Spectre APS、Spectre X Simulator、Spectre XPS の実績ある技術と、Xcelium のデジタルシミュレーション機能をベースにしたミックスシグナルシミュレータです。ミックスシグナルのシミュレーションには、Spectre と Xcelium の異なるリリースのテクノロジーを選択することができます。

Virtuoso 環境によるアナログ中心のフロー

Spectre AMS Designer は、Virtuoso ADE Product Suite に緊密に統合されていて、ミックスシグナルのブロック設計が可能です。ネイティブの Analog Design Environment ネットリスト技術を用い、回路図とビヘイビアビューを組み合わせ、各ブロックの抽象度を独立して管理することができます。Hierarchy Editor を用いてデザイン全体を構成することで、複雑なミックスシグナルデザインの表示とデザインの準備を容易にします。

- ▶ Spectre AMS Designer を使うことで、性能測定にゴールデンのシミュレーション結果を確実に取得
- ▶ 他の Spectre シミュレータと同じセットアップで、ビヘイビアモデルの性能を活かしたモンテカルロ解析などの高度な回路解析を Spectre AMS Designer インターフェイスで実行可能

Xcelium シミュレーションによるデジタル中心のフロー

Spectre AMS Designer は、Xcelium 環境でネイティブに動作し、デジタル中心の検証を実現します。1 つのコントロールファイルを使用して、アナログブロックをデジタル SoC にどのように統合するかを定義します。アナログブロックと RTL ブロックを簡単に交換して、精度と性能をトレードオフすることができます。テストベンチ解析、Cadence®テクノロジー、検証プランニングなど、Xcelium 環境のすべての機能をサポートしています。

- ▶ 自動的に挿入されたインターフェースエレメントは、あるドメインから次のドメインへと信号を変換するために使用され、ユーザーはさまざまな設計構成でシミュレーションを行うことができ、シミュレーションの速度と精度を容易にトレードオフすることが可能
- ▶ 検証フローでは、内蔵のアナログ・シミュレーション・エンジンとして Spectre Circuit Simulator を使用し、大規模なミックスシグナル・デザインの検証を可能に。Xcelium デジタル・シミュレーション・エンジンは、高性能なネイティブ Verilog、SystemVerilog、VHDL、SystemC、e のシミュレーションを実現
- ▶ SimVision のマルチ言語デバッグ環境では、アナログとデジタルの信号を 1 つの波形環境で見ることが可能
- ▶ VHDL または SystemVerilog と SPICE のネイティブな接続性を提供することで、テストベンチと複数のベンダーのデ

- ▶ ザイン IP ブロックとのクロス・ドメイン接続を可能に
- ▶ PSL 言語と SVA 言語の構文を拡張することで、アナログおよびデジタル設計のアサーション・ベース検証をサポートし、設計意図の把握と検証の自動化のための効率的かつ効果的な手法を提供
- ▶ ローパワー検証などの成熟したデジタル検証手法をアナログ領域に拡張し、CPF/UPF によるパワー・インテントの取得や、主要なインターフェースに“PowerSmart”コネクタモジュールを自動的に挿入することをサポート

主な仕様

Virtuoso 環境

- ▶ ダイレクト Verilog-AMS ネットリスティング
- ▶ Hierarchy Editor によるコンフィギュレーション
- ▶ グローバルデザイン変数とグローバル信号のサポート
- ▶ インヘリテッド接続

Spectre AMS Designer

- ▶ 希望する Spectre および Xcelium のリリースを柔軟に統合可能
- ▶ デジタルおよび実数モデリング機能
- ▶ MathWorks Simulink へのリンクを用いたシステムレベルのシミュレーション
- ▶ セーブ/リスタート
- ▶ 共通のミックスシグナル波形データベース

デジタル入力

- ▶ OpenAccess データベース
- ▶ Verilog-AMS 2.0
- ▶ VHDL-AMS 1076.1
- ▶ Verilog (IEEE 1364-1995, IEEE 1364-2001 extensions)
- ▶ VHDL (IEEE 1076-1987, IEEE 1076-1993, IEEE 1076.4-2000 [VITAL 2000])
- ▶ Spectre および SPICE ネットリスト・フォーマット
- ▶ SystemVerilog (IEEE 1800)
- ▶ Unified Power Format (UPF) または Common Power Format (CPF)

Xcelium プラットフォーム

- ▶ SystemC (OSCI SystemC v2.01) および SystemC Verification Library (OSCI SCV 1.0)
- ▶ Specman テクノロジー

サポートされるアナログデバイスモデル一覧

- ▶ BSIM CMG, BSIM IMG, UTSOI モデルの最新版を含む先端ノードモデル
- ▶ BSIM3, BSIM4, BSIM Bulk (BSIM6), PSP, HiSIM の最新版を含む MOSFET モデル

- ▶ HiSIM HV, MOS9, MOS11, EKV の最新版を含む高電圧 MOS モデル
- ▶ BTASOI, SSIMSOI, BSIMSOI, BSIMSOI PD, HiSIM SOI の最新版を含むシリコン・オン・インシュレーター(SOI)
- ▶ VBIC, HICUM, Mextram, HBT, Gummel-Poon モデルの最新版を含むバイポーラ・ジャンクション・トランジスタ (BJT)モデル
- ▶ ダイオード、Phillips level 500、CMC ダイオードモデルを含むダイオードモデル
- ▶ JFET, Phillips level 100 JFET, Individual dual-gate JFET を含む JFET モデル
- ▶ PSpice® IGBT モデル、HiSIM IGBT モデルを含む IGBT モデル
- ▶ 線形抵抗、拡散抵抗、CMC 2 端子/3 端子抵抗、物理抵抗モデルを含む抵抗
- ▶ GaAs, TOM2, TOM3, Angelov の最新版を含む GaAs MESFET モデル
- ▶ Angelov, ASM, MVSG モデルを含む GaN MESFET モデル
- ▶ RPI ポリシリコン、アモルファスシリコン薄膜モデルを含むシリコン TFT モデル
- ▶ Verilog-A コンパクト・デバイスモデル
- ▶ Z および S ドメイン・ソース
- ▶ 多導体伝送路、疑似ランダム・バイナリ・シーケンス・ソース
- ▶ ユーザー定義のコンパイル・モデル・インターフェース (CMI)により、ユーザー定義モデルを迅速に組み込み可能
- ▶ ジョセフソン接合
- ▶ HCI や BTI の効果をシミュレートするための専用信頼性モデル(AgeMOS)
- ▶ リレー、トランス、非線形磁心、巻線を含む各種パワーモデル
- ▶ DC ブロック、DC フィードスルー、マイクロストリップ、ストリップライン素子(ベンド、クロス、コーナー、カーブ、オープンライン、ティーモデル)を含む各種 RF モデル

言語とネットリストのサポート

ネットリスト・フォーマット、ビヘイビア・モデリング言語、寄生素子ネットリスト・フォーマット、ステイミュラス・ファイルは、Spectre Simulation Platform で共通です。サポートされるフォーマットは以下の通りです:

- ▶ Spectre、SPICE ネットリスト・フォーマット
- ▶ Spectre、SPICE、PSpice モデル
- ▶ Verilog-A 2.0 LRM 準拠ビヘイビア・モデル、構造ネットリスト
- ▶ DSPF/SPEF 寄生フォーマット
- ▶ S パラメータ・データファイル(Touchstone、CITI ファイル、Spectre フォーマット)
- ▶ SST2、PSF、PSF XL、FSDB 波形フォーマット
- ▶ デジタルベクター (VEC)、Verilog-Value Change Dump (VCD)、Extended Verilog-Value Change Dump (EVCD)、デ

デジタル・スティミュラス

サポートされるプラットフォーム

- ▶ x86 64-bit Red Hat Enterprise 6.5 (and higher) and V7, SLES 11 and 12
- ▶ 市販のクラウドソリューション

ケイデンスのサービスとサポート

- ▶ ケイデンスのアプリケーションエンジニアは、電話、電子メール、インターネットでお客様の技術的な質問にお答えします。また、技術支援やカスタム・トレーニングも行っていきます。
- ▶ 70 以上のコースを担当するケイデンス認定のインストラク

ターが、実際の経験を生かして授業を行います。

- ▶ 30 以上のインターネット・ラーニング・シリーズ (iLS) のオンラインコースでは、インターネットを介してご自身のコンピュータで柔軟にトレーニングを受けることができます。
- ▶ ケイデンスのオンラインサポートでは、最新のソリューション、技術資料、Rapid Adoption Kits、ソフトウェアのダウンロードなどのナレッジベースに 24 時間いつでもアクセスすることができます。
- ▶ 詳細については、以下にアクセスしてください。
 - サポートについて: www.cadence.com/support
 - トレーニングについて: www.cadence.com/training

cadence®

ケイデンスは、Intelligent System Design Strategy を用いて設計コンセプトを現実のものにする、電子設計とコンピュータの専門知識における主要なリーダーです。ケイデンスの顧客は、世界で最も創造的で革新的な企業であり、最もダイナミックな市場アプリケーション向けに、チップからボード、システムに至るまで、優れたエレクトロニクス製品を提供しています。 www.cadence.com

© 2021 Cadence Design Systems, Inc. All rights reserved worldwide. Cadence、Cadence ロゴ、および www.cadence.com/go/trademarks にあるその他の Cadence マークは、Cadence Design Systems, Inc. の商標または登録商標です。その他のすべての商標は、それぞれの所有者に帰属します。16264 05/21 SA/DM/PDF