

データ中心の世界に向けたIPソリューション

Arif Khan (ケイデンス)

現在は、データとコンピューティングの需要が大幅に増加しており、グローバルなデータトラフィックも増加しています。その結果、ハイパフォーマンス・コンピューティング、データ・コミュニケーション、ネットワーキング、ストレージ・システムは、ワークロードを多用する、分析、人工知能（AI）、ゲノミクス、シミュレーションなどの新しいアプリケーションに牽引され、数々のアプリケーション分野で中心的な役割を果たすようになってきました。このようなシステムには、電力効率、高性能、アップタイム、小型フォームファクタ（PPA：Power, Performance, Areaとも呼ばれる）などが求められますが、これらの要件は、その基盤となる電子部品や知的財産（IP）ビルディングブロックに影響を与えます。そのため、設計のあらゆるレベルでこれらの要件を満たし、各コンポーネントが単独で、また通信インフラシステム全体の中で意図されたとおりに動作することを保証することが不可欠となります。このホワイトペーパーでは、ケイデンスが提供する検証済みの規格ベースの設計IPが、品質と市場投入までの期間についての目標を達成するにあたってどのように貢献するかを検証します。

もくじ

はじめに	2
ゼタバイト時代の設計の課題	2
検証済みのIPで設計するメリット	3
統合に特化したIPとIPサブシステム	5
電子システム設計の最適化	6
まとめ	7

はじめに

データ中心の世界では、クラウド・インフラの中核となるサーバー、ストレージ、ネットワーク機器の需要が大変高まっています。10年前に始まったオンプレミスのデータセンターからクラウドインフラへの移行は、今では事実上の標準となっています。今では複数のプラットフォームでアプリケーションやデータにアクセスすることが普通となっています。仮想化は、データセンターの利用率を高め、エネルギーの無駄を省き、使用率の低いサーバーを対象とする方法の1つです (図1)。

これらのシステムでは、次が必要になります。

- ▶ 高い稼働率、データトラフィック、コンピューティングの要件を満たす高いパフォーマンスと99.99%の可用性
- ▶ 電力効率によるエネルギーコストの節約、低コストで大規模なスケーリングに対応すること
- ▶ 可能な限り小さなサイズにすることで、スペースとそれに伴う冷却コストを節約できること

それと同時に、これらのアプリケーションをサポートするために必要なプロトコルの規格も進化しています。それは、このような課題に取り組む設計者にとって、大変な労力を要することですが、設計IPの助けを借りれば、それが可能になります。

最新のテクノロジーノードに搭載されたインターフェース、アナログ、メモリIPは、検証済みのビルディングブロックを提供し、これを設計に統合することで、設計サイクルの期間と労力を削減できます。また、このIPを活用することで、消費電力と性能の目標を達成し、統合と検証の課題を解決し、継続的に進化する設計規格に迅速に適応できます。業界の試算では、IPブロックがシステムオンチップ (SoC) の80%を占める可能性も示されています。これには、従来のIPだけでなく、関連するブロックを組み合わせたIPサブシステムや、チップやボードを横断するシステムレベルのIPも含まれています。さらに、自社でブロックを開発するのではなく、既製のIPを購入することで、そのIPが最新の (そして変化し続ける) インターフェースプロトコルに準拠していることが保証されます。これは、多くのIPプロバイダーがこのようなプロトコルに関する専門的な知識を自らの専門領域とみなしているためです。



図 1: データセンターにおける、稼働率や性能、電力効率の向上に対する要件の増加と、設計段階でIPを使用してこの要件を満たす方法

ゼタバイト時代の設計の課題

クラウドやデータセンターで使用するコンポーネントを設計する際には、データトラフィックやコンピューティングの需要の急増に対応することが第一に考えられます。IDCによる2018年のレポート1、“The Digitization of the World: From Edge to Core” では、2025年までに世界のデータ領域は175ゼタバイト (ZB) のデータを格納すると予測しています。また、2025年には200ZBを超えるという予測もあります。このレポートでは、2025年には世界の人口の75%がオンラインに接続され、一人当たり18秒に1回以上データのやり取りを行うようになると言われてしています。フィットネストラッカーからビッグデータ分析、金融・医療サービスに至るまで、さらに多くのデバイスやアプリケーションが、増加を続けるデータを収集・分析し、そこから情報を得ようとしています。

このような大量のトラフィックに対応するには、システムのボトルネックを回避する高速なメモリアクセス速度が必要となります。プロセッサの性能が高くても、メモリアクセスが遅ければ意味がありません。現代のデータセンターのニーズを満たすには、メモリIPを6400Mbps以上にスケールアップする必要があります。同様に、データ転送速度も、システムのボトルネックにならないように高速なものであることが必要です。現在のSerDesの規格仕様は112Gで、224Gも視野に入っており、56Gはますます一般的になっています。クラウドサーバーがもたらすスピードと近接性のメリットを生かすために、多くの設計ではPCI Express® (PCIe®) プロトコルなどの高速インターフェースを採用しています。ここでは、PCIeに準拠したコントローラとPHY IPが活躍します。PCIeプロトコルは、過去8年間で16GT/sから64GT/sへと4倍のスピードで進化を遂げています。

データセンターはエネルギー消費量が多だけでなく、熱の発生量も多大なため、電力も重要な検討事項です。米国のデータセンターは、国内全体のエネルギー生産量の1.5~3%を消費しています。一般的なデータセンターでは、すべてのサーバーの消費電力を乗じることで、機器の冷却がかなり複雑な作業になることがわかります。過去の調査によると、稼働中のサーバーがデータセンターのエネルギーに占める割合は20%以下である一方、サーバーの冷却やアイドル状態での消費電力を支えるためにかなりのエネルギーが使われていることがわかります²。Googleなどの大手クラウド事業者は、データセンターの電力使用効率 (PUE) を重視しており、データセンターが最も効率的にエネルギーを使用するように設計されています。³

ネットワークやその他のデータセンターコンポーネントの設計は、これ以外の理由からも容易ではありません。これらの設計で求められるパワーとパフォーマンスを満たすために、テクノロジーの限界はさらに高度なジオメトリーへと押し広げられています。TSMCの2020年の第3四半期の収益報告⁴によると、四半期の売上高の3分の1以上がAIによるもので、そのうち半分以上が最先端のFinFET技術によるものでした。ジオメトリーが小さくなると、消費電力と性能のバランスが良くなるというメリットがありますが、寄生素子の増加、ダブルパターニングやトリプルパターニングによるレイアウトの困難化、デザインルールチェック (DRC) の拡大などの問題があります。大規模な設計はムーアの法則の限界に達しつつあり、これらソリューションを実現するには、高帯域幅インターフェース (HBI) やダイ・ツー・ダイ・インターフェースなどの高度な相互接続に依存する必要があります。

市場投入までの時間的なプレッシャーが常につきまとう中で、スケジュールは大きく制約されることになります。特定の市場機会の獲得を目指している場合には、規格が確定するまで待ってられない場合もあるでしょう。

検証済みのIPで設計するメリット

検証済みの設計IPと検証用IPを活用することで、設計のプロセスが容易になり、市場投入までの時間短縮、エンタープライズレベルの通信システムやストレージシステム用のSoCを設計する際の重要な考慮事項を満たすのに役立ちます。

- ▶ 業界規格への準拠
- ▶ パフォーマンスと電力の目標
- ▶ カスタマイズの要件
- ▶ 統合と検証に要する作業の軽減
- ▶ 設計リスクの軽減
- ▶ 信号雑音に対する高い堅牢性

業界規格への準拠

IPは、業界規格をサポートし、特定の規格に関する知識のギャップに関連した課題や障壁を克服することに非常に優れています。IPベンダーは仕様についての深い理解のもとに、各規格の要求に応じてIPを開発します。その結果、顧客は仕様変更への追従を心配する必要がなく、使用している設計がPPA、帯域幅、その他の関連する仕様を満たしている保証を得ることができます。これにより、設計がサポートする必要のある各プロトコルについての、数百ページにおよぶ仕様ガイドラインに目を通すことなく、SoCの差別化を実現するための設計上の優先事項により多くの時間を割くことができます。

例として、PCIeプロトコルが通信の標準的なインターフェースであるAI/ML設計について考えてみましょう。PCIeプロトコルは、今後ますます厳しくなる帯域幅の要求に応えるために進化し続けています。Compute Express Link (CXL) と組み合わせることで、低レイテンシーのアプリケーションが実現可能になり、パーシステント・メモリ (永続性メモリ) をコヒーレンシ・ドメインに取り込むことができます (図2)。

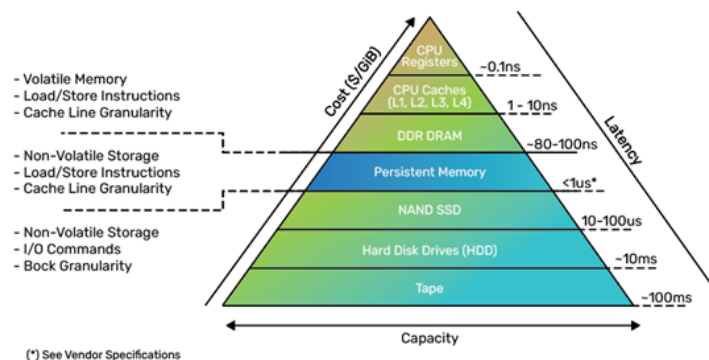


図 2: メモリの階層

PCIeおよびCXL 2.0コントローラとPHY IP製品を使用することで、変化を続けるPPAの要件を満たすことができます。ハードIP (GDSIIとして配布されるIP) は、長期間にわたる極端な動作温度範囲への対応や、ネットワークやデータセンター環境で重要となるエレクトロマイグレーション/IRドロップ (EM-IR) の影響を管理する際に役立ちます。ハードIPは、極端な動作温度などの様々な条件で徹底的にテストされており、異なる動作条件を必要とする設計者に対応するために、あるレベルを超えた耐久性を持つように構築されています。実際に、規格は一般的に共通のニーズに対応するように作られていますが、IPプロバイダーは、実環境での堅牢性を高める目的で、温度範囲、信号強度、ノイズ耐性、SoC間の電圧差などの要素については、規格に定められている仕様を超える場合がよくあります。

電力とパフォーマンスの目標

前節で述べたパフォーマンスと電力の仕様は、市場で入手可能なIP製品の範囲に基づくものです。たとえば、Cadence® Denali® DDRコントローラとPHY IPは、GDDR6やDDR5/LPDDR5、高帯域幅メモリ (HBM) などの最新プロトコルをサポートしています。Cadenceは、PCIe 5.0用の32Gbpsマルチプロトコル/マルチリンクPHY IPも提供しています。このIPは、1.25Gbpsから32Gbpsの速度で動作し、データセンターやネットワークの最も厳しい要件 (10年の寿命と110°Cのエレクトロマイグレーションを備え、最小限の有効電力で動作する) を満たします。これらのIP製品は、データ中心のハイパフォーマンス・コンピューティング (HPC) /AIアプリケーションの性能目標を達成するために必要となる、高度なFinFETノードで利用可能です。

特にPCIe 5.0は、トラフィックをサポートするための高性能と低遅延のニーズに対応し、32Gbpsの転送速度 (512Gbps (x16) まで拡張可能)、マルチCPUのデータ分析、幅広い展開など、多くの必要とされる機能を提供します。図3では、旧来のデータセンターの需要と新しいデータセンターの需要を比較したもので、直線的な拡張性が強調されています。ケイデンスは、特にPCIeコントローラとPHYを最適化しており、低消費電力モードでのトップの座を維持しつつも、最高速度での大幅な電力削減を実現しました。

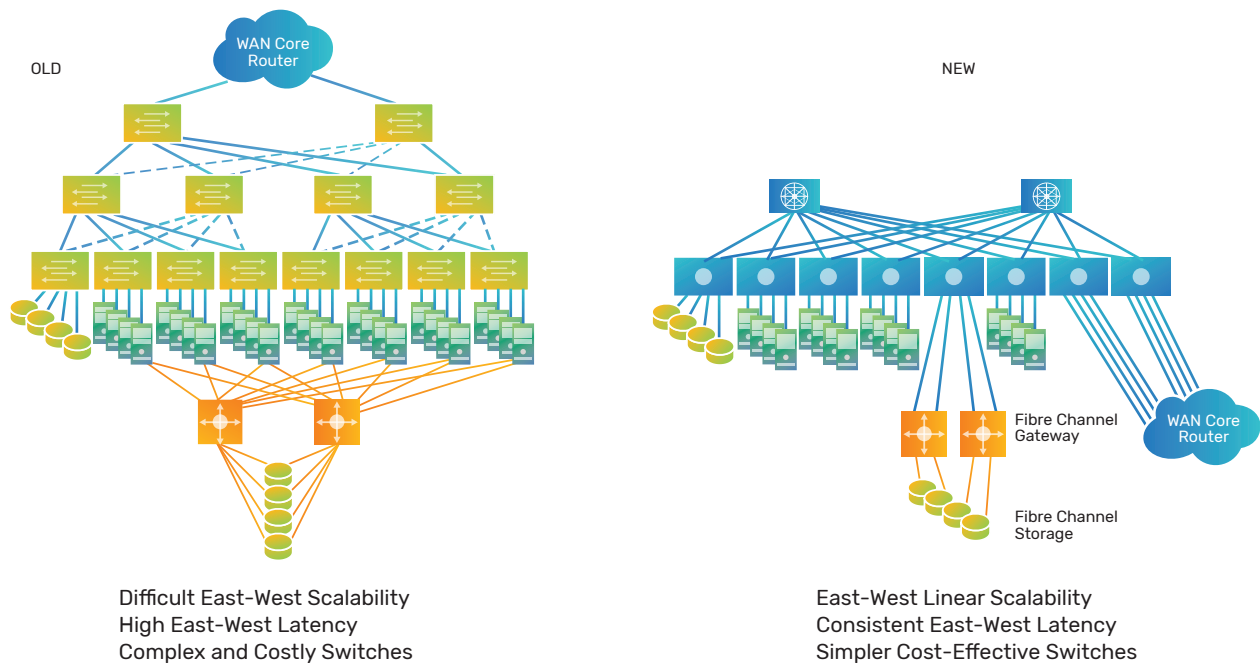


図3: 現代のデータセンターのニーズを満たす要件

チップ設計のコストや労力を考えると、1つの設計を複数のターゲットシステムに適用させることで、設計を将来にわたって有効に使い続けることができます。このアプローチでは、様々な規格に素早く適応する能力が必要になります。複数のプロトコルに対応したIPにより、様々な分野にわたるアプリケーションの規格に対応して設計を柔軟に変更することができます。さらに、1つのポートを異なるプロトコルに向けて多重化できるため、1つのチップを異なるアプリケーションに使用することも可能です。たとえば、PCIe x16レーンのサポートを必要とするアプリケーションに対してチップを開発し、PCIe x8レーンのサポートを必要とする別のアプリケーションと別の8レーンの通信プロトコルに同じチップを使用するといったことが考えられます。

カスタマイズの要件

構成可能なアーキテクチャで設計されたIPは、ソフトウェアやプロトタイピングソリューションとともに、カスタマイズの要件に応えます。独自のSoC設計に適した機能や性能を提供できるIPベンダーを選択するのがよいでしょう。これにより、IPを中心とした設計を構築するのではなく、IPを設計に統合することができます。

統合と検証に要する作業の軽減

IPを設計に統合するには困難を伴いますが、統合を念頭に置いてゼロから設計されたIPやIPサブシステムを使用している場合には、困難の度合いは低減します。インターフェイスやサブシステムレベルで完全に統合されたコントローラ、PHY、ファームウェアのソリューションは、設計リスクを低減し、統合作業に伴う労力を軽減します。同様に、ベンダーが提供する完全に検証されたIPを使用することができれば、そのIPがご利用の設計上で動作するかどうかを確認する基礎作業をする必要がありません。

設計リスクの軽減

IPでの検証の幅広さも重要な考慮事項となります。この点については、IPベンダーによって異なる場合があります。IPの早期開発に注力し、エンドユーザーがSoCを構築する際に密接に協力しているIPベンダーが優位となります。これらのベンダーは、顧客が直面している設計上の課題に関する見識を得ることができるため、それに応じてIPの調整や更新を行うことができます。このようにして得られた知見を設計プロセスに反映させ、次のIPの開発につなげています。また、IPベンダーの顧客数が多ければ多いほど、IPをテストするプラットフォームへのアクセスが増え、結果的に設計リスクを軽減することができます。すべてのベンダーが、相互運用の可能性に関するデータを継続的に収集し、複数のプラットフォームでIPを確実に検証できるわけではありません。

統合に特化したIPとIPサブシステム

ケイデンスの完全に検証された幅広い設計IPポートフォリオでは、サーバー、ストレージシステム、ネットワーク機器などの通信インフラストラクチャアプリケーション用のSoCに最適なコアを見つけることができます。ケイデンスはIPの早期開発に力を入れており、製品を一から作り上げる一方で、IPを設計に統合している様々な顧客と密接に提携しています。顧客がテラアウトに向けて設計のテスト・検証を実施している間に、当社のIP開発者がIPのテストをすることで、分散検証のメリットを得ることができます。早い段階で多くのシリコンデータにアクセスできるため、IP開発者は先進的なプロセスやその限界、課題などをいち早く理解し、学んだことを各世代のIPに反映させることができます。

ケイデンスは標準コンプライアンスの初期の推進者として、頻りに規格を定義する役割を果たしています。当社の技術者は、さまざまな規格団体のワーキンググループに参加しています。その他の例として、当社はPCIe 3.0コントローラを最初に市場に投入したIPベンダーであり、現在、当社のPCIe用コントローラとPHY IPは、最新の仕様 (5.0) をサポートしています。当社はIPをシリコンで認証しているため、顧客の設計も同じ認証に合格することが保証されます。

ケイデンスは、統合に特化したIPとIPサブシステムを開発し、リスクを低減してSoC開発を促進する能力を実証しています。ファウンドリとの強固な関係により、プロセスへの早期アクセスが可能となるため、その結果、早期開発、検証、認証を進めることができます。

ケイデンスは、エンタープライズレベルのデータ通信やストレージシステムに対して、性能、電力効率、その他の要求を満たすことができる、関連する様々な設計IPを提供しており (図4)、これには以下が含まれます。

- ▶ PCIe 5.0用32Gbps SerDes PHY IPは、チップ間、ボード間、システム間のデバイス間通信、高性能データ通信、高性能ストレージアクセス、高性能データセンター通信を実現します。CXLと組み合わせることで、コヒーレントシステムの低レイテンシー化を実現します。
- ▶ GDDR6とDDR/LPDDR5/4コントローラおよびPHY IPは、ビッグデータのローカル計算のサポートなど、低レイテンシーのデータアクセスとメモリ使用率の向上を実現します。誤り訂正符号 (ECC)、パリティ、内蔵セルフテスト (MBIST) などの機能により、高密度なコンピューティング環境においてもデータの破損を最小限に抑え、データの信頼性を高めることができます。
- ▶ Cadence UltraLink™ D2D PHY IP (ダイ・ツー・ダイ) ソリューションや、チップレット実装用のHBIなどのインターコネクトソリューションを有します。
- ▶ NANDフラッシュIPを搭載しており、高速なBoot ROMコードストレージを実現します。
- ▶ 56G/112G用の高速SerDesは、40+dBの挿入損失をサポートしており、電力面でも大きなメリットがあります。

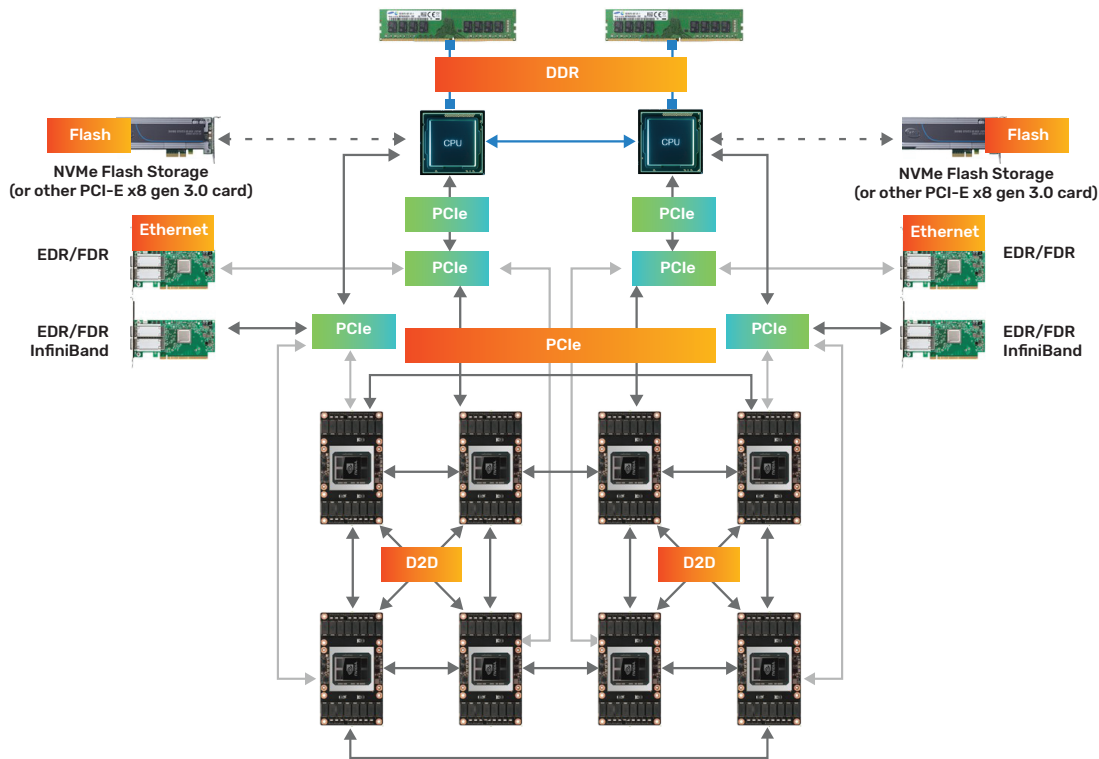


図4: ケイデンスのエンタープライズIPで実現できること

さらに、ポートフォリオには複数のプロトコルをサポートするIPサブシステムも含まれています。たとえば、PCIe 3.0、USB 3.0 SuperSpeed、SATA III、DisplayPort 1.4、10G-KR、SGMIIをサポートするマルチプロトコル、マルチリンクPHY IPを用いて、管理インターフェースを実装することができます。このIPを使用することで、進化を続ける様々なインターフェース規格の要件を満たし、設計コストを管理し、将来も有効に使い続けられる設計を実現することができます。

ケイデンスはまた、SoCの設計を迅速かつ徹底的に検証する目的で、実績のある検証IP (VIP) の幅広いポートフォリオを提供しています。ケイデンスのVIPは、40以上の通信プロトコルと60以上のメモリインターフェースをサポートしており、インターフェースをコンポーネントとしてモデリングし、SoCのテストベンチに接続してチップと共にシミュレーションすることで、大幅に時間を節約することができます。設計IPと同様に、VIPにはプロトコルやインターフェースの専門家による専門知識が盛り込まれているため、仕様変更のスピードに追いつけるかどうかを心配する必要はありません。

電子システム設計の最適化

すべての部品がうまく機能し、設計サイクルを効率化できるような最適な設計を望むのであれば、最終製品を構成するそれぞれの電子部品を、分離して設計することはできません。ケイデンスの設計IPとVIP製品は、ハードウェア、ソフトウェア、サービスの幅広いポートフォリオの一部であり、チップからパッケージ、ボード、最終製品に至るまで、通信/ストレージシステム全体の設計と検証の効率化に役立ちます。これらの統合された設計ソリューションにより、システムの各コンポーネントが単独で、また他のすべてのコンポーネントと連動して意図された通りに機能することを効率的に実現することができます。また、環境やその他の動作条件を考慮することもできます。つまり、ケイデンスのシステム設計技術を使うことで、アイデアを差別化された最終製品へと変換することができ、生産性を高め、リスクを減らし、高い品質の維持に集中することができます。

まとめ

サーバー、ストレージシステム、ネットワーク機器、その他の通信インフラアプリケーションへの依存度が高まるにつれ、基盤となるSoCにとっては、高いパフォーマンスと稼働時間、低消費電力、面積の削減がこれまで以上に重要になっています。ケイデンスの実績ある、検証のされた設計、アナログ、メモリIPとVIPは、設計リスクの軽減、コストの削減、PPAと市場投入までの時間に対する目標達成に大きく貢献します。

参考資料

1. David Reinsel, John Gantz, and John Rydning, "The Digitization of the World from Edge to Core", an IDC White Paper Sponsored by Seagate, November 2018: <https://www.seagate.com/files/www-content/our-story/trends/files/idc-seagate-dataage-whitepaper.pdf>
2. Arif Khan and Osman Javed, "Software and System Solutions Drive Datacenter Efficiency," Electronic Design, October 2013: <http://electronicdesign.com/power/software-and-system-solutions-drive-datacenter-energy-efficiency>
3. "Efficiency", Google Data Centers:<https://www.google.com/about/datacenters/efficiency/>
4. "2020 Third-Quarter Earnings Conference" TSMC, October 15, 2020: https://investor.tsmc.com/english/encrypt/files/encrypt_file/qr/phase5_support/3Q20PresentationUpload%28E%29.pdf
5. Persistent Memory Documentation: <https://docs.pmem.io/persistent-memory/getting-started-guide/introduction>



Cadenceは電子設計分野およびComputational Softwareの専門知識における業界の中心的なリーダーであり、Intelligent System Design戦略の下で設計コンセプトを具現化しています。Cadenceのお客様は世界で最もクリエイティブかつ革新的な企業であり、最もダイナミックな市場のアプリケーションに向け、チップ、ボード からシステムに至るまで卓越した電子製品を提供しています。

www.cadence.com

© 2021 Cadence Design Systems, Inc. All rights reserved worldwide. Cadence, the Cadence logo, and the other Cadence marks found at www.cadence.com/go/trademarks are trademarks or registered trademarks of Cadence Design Systems, Inc. PCI Express and PCIe are registered trademarks or trademarks of PCI-SIG. All other trademarks are the property of their respective owners. 15844 03/21 SA/YY/PDF

