

AWR Design Environment V22.1を活用した RFから ミリ波までのシステム設計

今日の商用製品ですます一般的になっている無線技術は、主に新興の 5G/6G およびモノのインターネット (IoT) システムのニーズによって推進されています。航空宇宙および防衛アプリケーションのニーズを満たすために当初開発された高周波半導体、PCB、および電子パッケージング技術は、通信、産業、科学、医療 (ISM)、および自動車のマーケットから要求される性能を満たし、サイズ、コスト、重量を削減する要求にこたえるために利用されています。伝統的に、最新のアドバンスノード技術を活用した独自のカスタム IC は、次世代の性能の標準値を決めます。しかし、新しい RF からミリ波 (mmWave) 対応のシステムへの要求が増えると、チップを超えたアプローチが必要になります。このホワイトペーパーでは、Cadence® AWR Design Environment® プラットフォームの V22.1 リリースの主な特長と機能に焦点を当てています。これは、RF 設計とシステム統合の間のギャップを埋め、フロントツェバックの実装と設計検証ワークフローを有効にする新しいプラットフォームの相互運用性を使って、IC、パッケージ、およびボード全体でより優れた設計のサポートを提供します。

設計の概要

より小さなフットプリントでより多くの機能を求める要求は、次世代製品への高度な相互接続および電子パッケージングと組み合わせられた半導体デバイスの複雑な組み合わせを含む、統合されたヘテロジニアスの技術で達成されています。システム、IC、ディスクリート部品、ラミネート、パッケージ、組み込みアンテナには、それぞれ固有の設計と検証のニーズがあり、性能と革新を促進する最新のオンチップおよびオフチップの製造プロセスを活用しています。したがって、これらのさまざまな技術に基づくシステムの開発に必要な幅広い分析と設計サポートを提供するには、複数のツールが必要です。ターンアラウンドタイムを早めるには、専用の高周波解析および設計最適化ツールに、シームレスで正確なモデリングとマルチフィジックス解析が含まれ、設計データをターゲットの製造プロセスの適切な実装プラットフォームと共有できる必要があります (図1)。

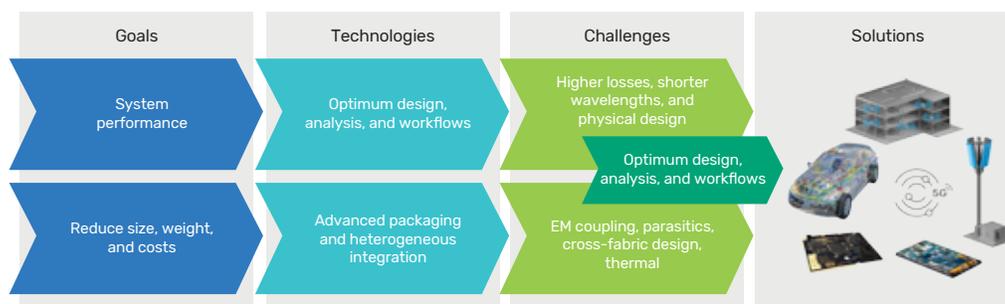


図1: システム、IC、ディスクリート部品、ラミネート、パッケージ、組み込みアンテナには、それぞれ固有の設計と検証のニーズがあります

AWR Design Environment V22.1 は、モノリシックマイクロ波 IC (MMIC)、RFIC、パッケージ、モジュール、および PCB 技術全体にわたる RF/マイクロ波部品およびシステムの開発を、設計の自動化、強化された RF 解析およびデバイスモデリング、グループ設計のサポート、加速された最適化、強力なインデザイン解析、製造のワークフローのための設計によって加速します。インデザイン解析の要求に答えるために、最新バージョンのAWR® ソフトウェアは、Cadence の Clarity™ 3D Solver と Celsius™ Thermal Solver との統合を強化し、大規模で複雑な RF システムの EM 解析および電力消費の影響を受ける RF設計の電熱解析に制約のない規模を提供します。どちらのソルバも、AWR プラットフォーム内から直接既存の設計データを使用して解析します。ユーザーは、ツールを切り替えたり、解析環境を離れたり、解析のために設計を別のエンジニアリングチームに渡したりする必要はありません(図2)。

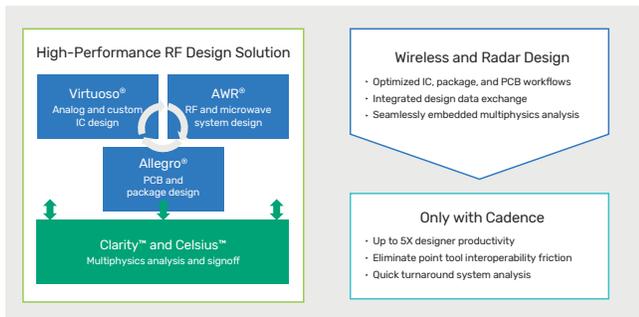


図2: Cadence の完全に相互運用可能なシステムレベルの RF 対応設計プラットフォーム

V22.1 リリースでは、AWR Microwave Office®と Cadence Allegro® System Capture フロントエンドツール(回路図入力および高いレベルのシステムアーキテクチャ用)と Allegro PCB および Allegro Package Designer Plus レイアウトエディタ(詳細なボード/パッケージ実装用)との間の設計データ転送が高速化されます。さらに、V22.1 では、Cadence Virtuoso プロセスデザインキット(PDK)を直接再利用し、Cadence EMX®Planar 3D Solver(高周波、RF、およびミックスシグナルシリコン (Si) 集積回路用)の統合によりシリコンベースの MMIC 設計をサポートしています(図3)。

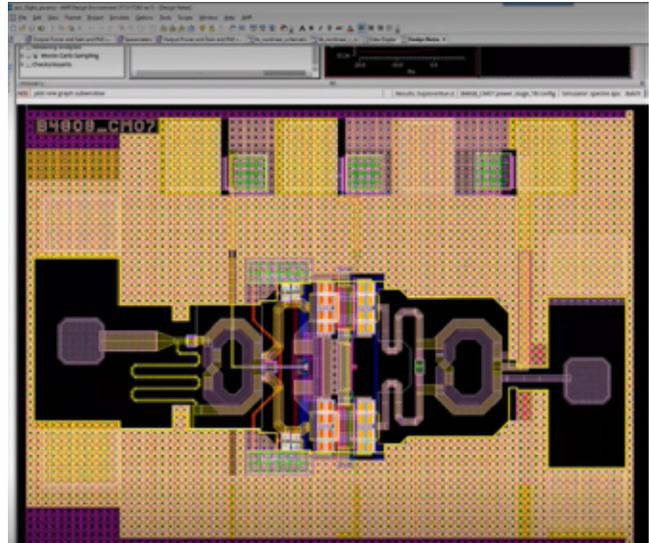


図3: Microwave Office ソフトウェアで Virtuoso PDK を使用した 28GHz パワーアンプ(PA)用の Si MMIC 設計

AWR での設計の利点

精度

AWR ソフトウェアを使用すると、設計者は、線形および非線形の周波数ドメイン回路解析、フルウェーブの伝送線路モデルの広範なライブラリ、RF ベンダ部品、ガリウムヒ素 (GaAs) および窒化ガリウム (GaN) III-V のファウンドリ認定の PDK、そして MMIC/パッケージ/PCB 設計全体のような電的に大きな構造のインデザインでの EM 解析、熱を発生する RF 電力アプリケーションの熱解析により、単一の環境内で直接、真の RF デバイスおよび整合回路の性能を把握できます(図4)。

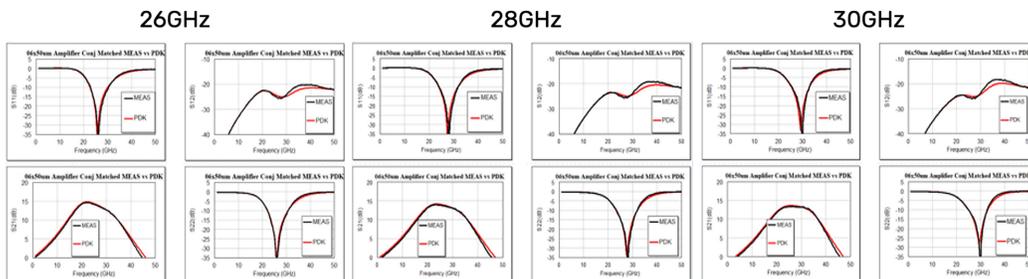


図4: UMS の 28GHz 2 段 PA の Microwave Office PDK の結果

速度と規模

新しい設計管理機能、高度なレイアウトと配線、グループベースの製品開発のためのバージョン管理、合成と最適化の改善により、エンジニアリングチームは製品開発を加速し、全体的なターンアラウンドタイムを短縮できます。さらに、IC とモジュールパッケージの両方のレベルで RF/マイクロ波 IP 統合の規模が拡大しているため、多くの場合、最大数千の入出力(I/O)ポートで構成される大規模な S パラメータを使用して RF 回路を解析する必要があり、解析の実行時間が長くなります。これらの大きく複雑な設計および/またはパラメトリック最適化の結果は、リモートおよび並列回路解析をサポートする AWR ソフトウェアによって加速できます。これにより、設計者はより多くの計算能力にアクセスして、EM および回路ベースの解析の実行時間を大幅に短縮できます(図5)。その結果、設計チームはより多くの調査と研究を行い、特定の期間でより多くの情報に基づいた設計の決定を下すことができるようになります。

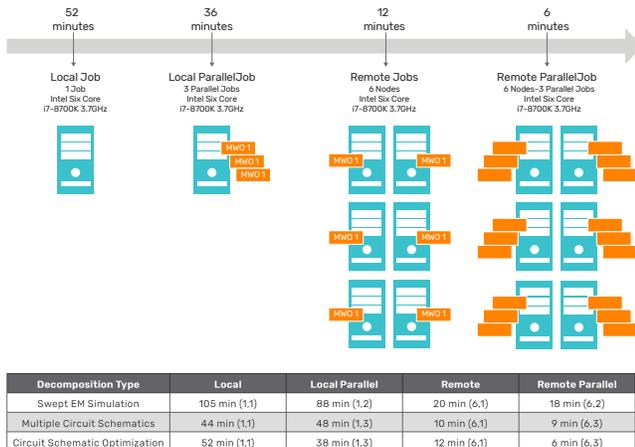


図5: AWR V22.1 は、リモートおよび並列回路解析をサポートし、より多くの計算能力へのアクセスを提供します

アクセシビリティ

AWR Design Environment プラットフォームは、追加された製品機能と、回路図とシステムエディタの改善、より多くの Python スクリプト機能とサポートリソース、改良された Cadence Visual System Simulator™(VSS™)システム設計ソフトウェアのデータファイルサポート、新しい RF 測定、拡張された整合回路合成、および新しいアプリケーションベースのチュートリアル設計コンテンツなどの生産性を向上させる機能により、アクセシビリティと設計サポートを提供します。AWR ソフトウェアで作成された RF IP を使用すると、設計チームは Cadence 対応の相互運用可能なワークフローを利用して、Microwave Office 回路設計データを Allegro PCB 設計および/または Virtuoso RF ソリューションプラットフォームに堅牢かつ効率的に転送して、バックエンド設計の実装とシステム統合を実現できます(図6)。

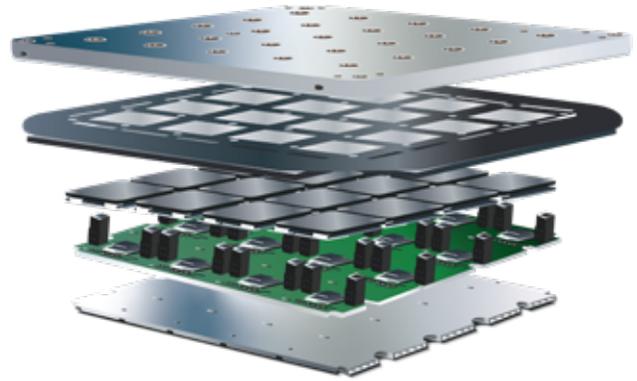


図6: 統合された EMX、Clarity、Celsius、Microwave Office、および AXIEM 解析技術を使用して、Virtuoso システム設計プラットフォームで作成された RF モジュール

インデザインでの EM およびマルチフィジックス RF システム解析

電子デバイスがより多くの機能を小さくなるフットプリントに統合するにつれて、インデザインと呼ばれる設計時点での EM および熱解析の重要性は、厳しい納期スケジュールを満たし、設計を確実に成功させるために重要になっています。分離して設計された部品は、パッケージ、モジュール、PCB、またはより大きなサブシステムに統合されるため、EM および/または熱による挙動が考慮されていないことが原因で、複数の設計のやり直しや製品出荷の遅延が発生することがよく起こります。設計者は、製造された最終製品全体の動作を解析で正確に把握できるように、物理設計サイクル全体を通じて迅速かつ正確な EM および熱データにすぐにアクセスする必要があります。

AWR Design Environment プラットフォームに組み込まれているソルバ統合技術により、Clarity 3D FEM および Celsius Thermal Solver へのシームレスなアクセスが提供され、前例のない速度、規模、および精度で RF システムのインデザインの解析が可能になります。

Celsius Thermal Solverの統合

設計者は、Celsius Thermal Solver を使用して、電力を消費する MMIC、パワーアンプ(PA)、温度に敏感な RF フィルタ、IC パッケージ、RF PCB、モジュール、およびマイクロ波/RF システムの熱解析をAWR プラットフォーム内で直接実行できます。熱解析用の IC、パッケージ、および/またはボードを表す構造は、AWR の EM エディタに形状を描画またはインポートするか、EM 抽出ブロックを使用して既存の回路図/レイアウトから3D 熱構造を自動的に作成することによって作成できます。熱源は、標準の Microwave Office の材料のスタックアップ内のユーザー定義の熱用レイヤに描画された形状として、または定義済み(スクリプト化された)パラメトリックセル(PCell)内の能動デバイスとして簡単に定義できます。解析が呼び出されると、Celsius Thermal Solverは、AWR 環境を終了する必要なく、Microwave Office 非線形(ハーモニックバランス)回路解析によって提供される消費電力データを使用して熱解析を実行します。すべての熱を放散するエレメントの動作温度は、AWR ソフトウェアのテーブルで報告されます。最新のリリースでは、ホットスポットやその他の懸念領域を把握するために、AWR 3Dビューアに直接アノテーションが付けられた3D 熱温度分布プロットがサポートされています(図7)。

電気で熱を発生する能動デバイスを含む RF 設計の場合、Celsiusによる解析から得られた動作温度をデバイスモデルに戻すことができ、電力対動作温度の結果が収束するまで、RF 非線形回路の回路/熱解析が実行されます。

さらに、AWR ソフトウェアは、設計者が AWR 環境から直接 Celsius Thermal Solver 解析の 3D 環境で構造を起動して保存できるようにすることで、さらなる柔軟性を提供しています。

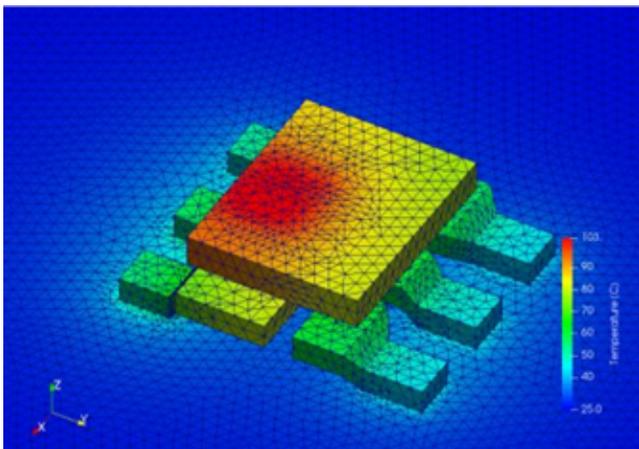


図7: Celsius Thermal Solver は、Microwave Office ソフトウェアによって提供される電力消費データを使用して熱解析を実行し、ホットスポットやその他の懸念領域に関する洞察を提供します

Clarity 3D FEM Solver 統合

(HEMT)、ヘテロ接合バイポーラトランジスタ(HBT)などの複数の能動デバイスを含む MMIC およびモジュールの正確な S パラメータ特性評価にフルウェーブの抽出を使用すると、タイムリーな結果を得るには大規模対応のソルバが必要な、ポート数の多いEM構造になる場合があります。CadenceのClarity 3D FEM Solver は、当初は大規模なシグナルインテグリティの問題のために開発され、このような大規模な RF 構造をモデル化するための業界初のソリューションを提供しています。Clarityソルバは、複数のサーバーに分散される初期メッシュ、アダプティブメッシュリファインメント(AMR)、およびアダプティブ周波数スイープ(AFS)技術において大規模な並列処理を採用しており、3D FEM の精度を損なうことなく、より大規模な 3D RF および高速の課題に迅速に対処します(図8)。

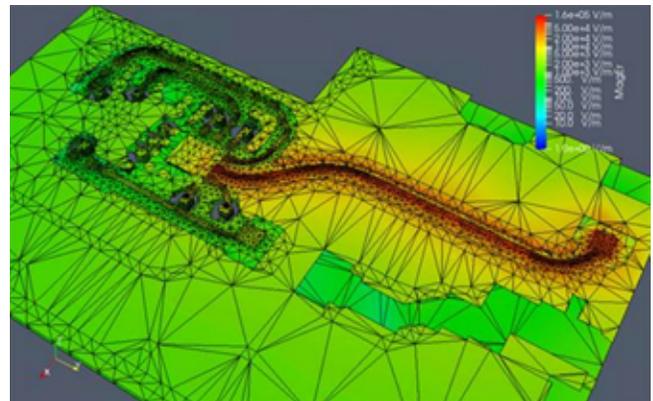


図8: Clarity ソルバは、複数のサーバーに分散された初期メッシュ、AMR、および AFS 技術において大規模な並列化を採用しており、より大規模な 3D RF および高速の構造に対応します

PCB インポート機能またはインポートされた 3D CAD ファイルを使用して別の場所で作成された構造として定義できます。これらのワークフローのいずれでも、Clarity ソルバは分散型マルチプロセッシング技術を使用して、事実上無制限の規模と従来のEM シミュレータの 10 倍の速度を実現します。これにより、エンジニアは、電子パッケージングの MMIC 全体、クロスファブリックモジュール、ラミネート上のダイの協調設計などの大規模なRF 設計に対応できます。

RF 設計サポート

合成

AWR Design Environmentの V22.1リリース以降、コンポーネント合成ウィザードとミキサおよびマルチプライヤ合成ウィザードは、追加のライセンスを必要とせずすべてのユーザーが利用できるようになりました。これらの革新的なウィザードは、一般的に使用される RF 機能ブロックを生成することで、より迅速な設計開始を可能にします。コンポーネント合成ウィザードは、トランス、ウィルキンソン分配器、さまざまなハイブリッドカプラ(ラットレース、プランチライン、およびラング)を含む、マイクロストリップ伝送線路構造に実装された数種類の受動のマイクロ波構造の合成をサポートします(図9)。

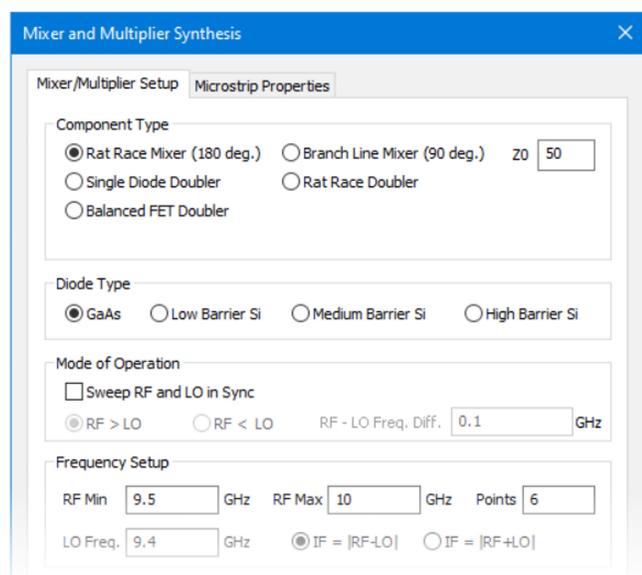


図9: コンポーネント合成ウィザードとミキサおよびマルチプライヤ合成ウィザードにより、一般的に使用される RF 機能ブロックを生成することにより、設計をより迅速に開始できます

システムとの統合を容易にするために、マイクロストリップ伝送線路構造にも実装された数種類のミキサとマルチプライヤ構造の合成を可能にします。階層化されたサブサーキットと出力のグラフが、合成された各ミキサと共に作成されます。これは、固定およびスイープされた局部発振器(LO)電力を解析するために、ハイブリッドのコンバイナ、ダイオード、整合回路、テスト回路用の個別のサブサーキットを提供します。RF ミキサの設計と製品開発をさらにサポートするAWR V22.1には、ミキサのノイズ解析用のハーモニックバランス解析の設定と、LOのハーモニックミキサノイズを生成する基本の部品からなる Microwave Office ミキサのサブ回路の構築に関する新しい設計チュートリアルも含まれています。

ソフトウェアに含まれるようになったコンポーネント、ミキサ、マルチプライヤ合成ウィザードは、アドオンオプションとして利用可能な iFilterおよび整合回路合成(インピーダンス整合)ウィザードを補完します。

新しいハイブリッドオプティマイザ

AWR Design Environmentソフトウェアは、多くの最適化手法を提供します。設計者は、特定の問題タイプの結果の品質またはオプティマイザの速度に関する経験に基づいて選択できます。多くの場合、高速なオプティマイザは問題の特性とパラメータに対して敏感ですが、低速のオプティマイザはより堅牢です。新しいハイブリッドの最適化手法が AWR V22.1に追加され、広範な最適化問題に対して最高の性能のアルゴリズムを提供します。その結果、新しいポインターハイブリッドオプティマイザは、より少ない反復でユーザー指定の最適化目標を達成できるため、堅牢な最適化を確保しながら時間を節約できます。AWR最適化をリモート/並列計算機能(アドオンオプション)と組み合わせて、解析の実行時間をさらに短縮し、大規模なパラメトリック設計の調査を実行できます(図10)。

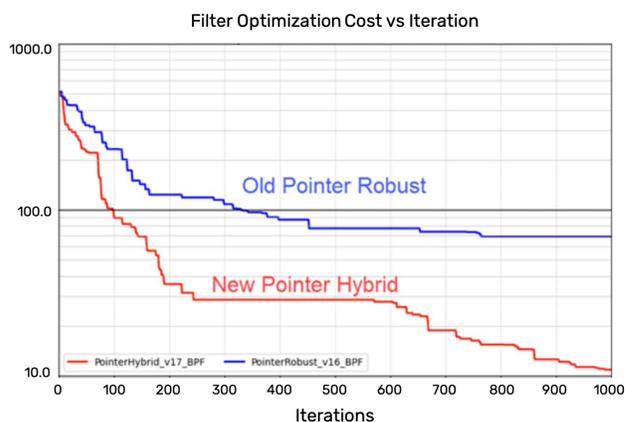


図10: AWR ソフトウェアの新しいポインターハイブリッドオプティマイザは、より少ない反復でユーザー指定の最適化目標を達成することをサポートし、堅牢な最適化を確保しながら時間を節約します

Python スクリプティングのサポート

AWR Design Environment プラットフォームには、エンドユーザーが自らのために作成するカスタムスクリプトと設計の自動化を促進するための広範なアプリケーションプログラミングインターフェイス(API)があります。

Visual Basic(VBA)で利用可能なAPI コマンドには、Pythonを使用してアクセスすることもできます。これにより、高度な数学関数、デジタル信号処理、非常に柔軟なプロット機能など、すぐに利用できるオープンソースライブラリの大規模な集合にアクセスできます。ソフトウェアの最新バージョンには、設計タスクの自動化とカスタマイズのためのPythonスクリプトを使用してユーザーを支援する新しい入門ガイドなど、Python サポートのリソースが追加されています。

バージョン管理とグループ設計

AWR Design Environment プラットフォームは、バージョン管理ソフトウェアの統合をサポートし、マルチファブリック RFモジュールで一般的に見られる統合された異種技術を含む、複雑な多機能プロジェクトのグループ設計を効果的に管理します。バージョン管理は、複数の設計者間の協業をサポートし、設計データの改訂履歴を中央のデータベースまたはリポジトリに維持します。このソフトウェアは、保存されているすべてのファイルのファイル履歴とデータベースを管理し、それらへのアクセスを許可します(図11)。

グループ設計では、バージョン管理ソフトウェアのファイル管理により、複数のユーザーがバージョン管理データベースまたは中央リポジトリで同じファイルを編集するときに、意図しないファイルの上書きが防止されます。バージョン管理、デザインルールチェック (DRC)、および大規模回路の解析実行時間を高速化するためのサブサーキット解析のキャッシュ化はすべて、RF モジュール設計のアドオンオプションで利用できます。

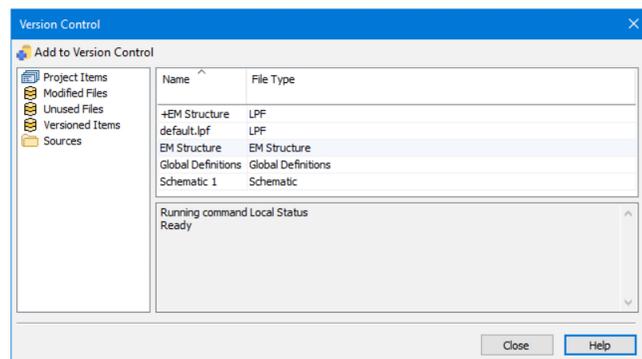


図11: バージョン管理は、内部に保存されているすべてのファイルのファイル履歴とデータベースへのアクセスを管理および許可します。

VSS 通信およびレーダーシステムの設計

AWR Design Environment プラットフォーム内の VSS 通信およびレーダーシステム設計ソフトウェアにより、ミックシグナル(RF/デジタル)回路およびカスケード RF ブロックの現実に近い測定が可能になります。スプリアスの発生源やビットエラーレート(BER)などのシステム性能をすべて 1つのシステムダイアグラムから特定することをサポートし、商用および軍用の送信機と受信機の設計者は、サブシステムのアーキテクチャを作成し、部品の要件を指定し、全体の性能を最適化することができます。

仮想 5G New Radio(NR)、IoT 通信およびレーダー/電子戦(EW)システムを概念化し、測定、解析、または予測された動作に基づいて RF/マイクロ波および信号処理ブロックを使用して迅速に実装し、新しいアーキテクチャを調査してシステム全体の性能を研究できます。

新しいデータファイルユーティリティは、デジタルプリディストーション(DPD)、被試験デバイス(DUT)評価、通信の受信テストなどのアプリケーションの波形データのエキスポート/インポートを簡素化し、テスト機器やその他のアプリケーションからVSS ソフトウェアへの波形の取り込みを効率化します。

ツールでの信号復調を容易にするために、送信機で生成された信号特性ブロックは、ソフトウェア内の任意の信号との間で伝播された特性を保存して再適用できます。

VSS テストベンチは、Rhode & Schwarz テスト機器のスタンダード準拠の通信信号生成および受信機能を仮想 DUT に適用できるようになりました(図12)。

スタンダード準拠の信号は、VSS モデル、Microwave Office サブサーキット、または Cadence Spectre®解析から得られたVSS 時間遅延ニューラルネットワーク(TDNN)の先進的なアンプ動作モデルを駆動できます。

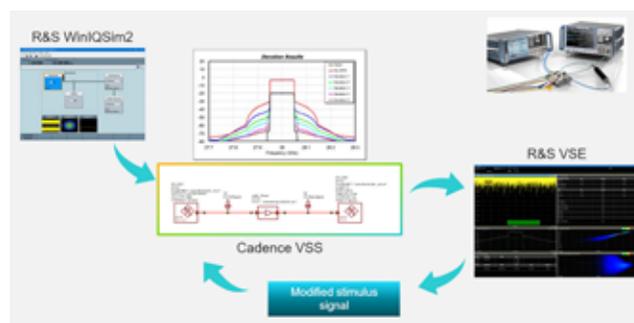


図12: VSS テストベンチは、Rhode & Schwarz テスト機器のスタンダード準拠の通信信号生成および受信機能を仮想 DUT に適用できるようになりました

Cadence と Rohde & Schwarz の製品をリンクする共同ソリューションにより、VSS ユーザーは、RF 設計を分析するための十分に吟味されたスタンダード準拠の信号と測定を利用できます。また、解析で利用する励起源は、性能検証のためにテストラボで使用するものと一致することも保証します。多くの事前構成済みのスタンダード準拠の測定と、DPD アルゴリズムなどの高度な機能を使用できます。さらに、チップまたは RF リンクが構築されると、ラボで最小限の労力でハードウェア機器を使用して同じ設定を複製できます。

Cadence のプラットフォームの相互運用性

医療機器に至るまで、今日、事実上すべてのインテリジェントシステムは、何らかの形の通信と無線センシングを採用しています。そのため、インテリジェントシステムを開発する納入先（委託者）商標による受託製造社(OEM)は、チップ、パッケージ、PCBにわたる RF IP 開発と統合のための信頼できるワークフローを必要としています。Cadence が開発中のプラットフォームの相互運用性は、専用の実装ツール間で設計データを効率的に交換する手段を提供します。

すべての RF 性能は設計の物理的屬性に直接関連しているため、Microwave Office ソフトウェアで開発された回路には、材料のスタックアップや描画層を含む製造プロセスに関する情報が必要です。GaN などの半導体であれ、アルミナや FR4 などの基板であれ、材料のスタックアップは、RF 解析の分布定数型伝送線路モデルで使用される基板定義ブロックで指定されます。MMIC の場合、ファウンドリは通常、解析モデル、IC コンポーネントレイアウトの PCell、および DRC を含むスタックアップ情報を PDK の形式で提供します。PCB の場合、このスタックアップ情報は、システム全体を担当するさまざまな設計チームによって合意された、製造されるボード技術によって決定されます。

Microwave Office ソフトウェアで作成された RF IP を Allegro PCB Design Editor にうまく統合するには、コンポーネントライブラリ(シンボルとフットプリント)とプロセス技術データを 2 つのプラットフォーム間で調整して、設計データの互換性を確保する必要があります。多くの場合、この統合は、RF チームからの入力に依存する RF 回路の動作に関する限られた知識を持つレイアウトエンジニアによって手動で実行されます。その結果、時間とコストのかかる設計の再入力が発生し、設計が失敗する可能性があります。プラットフォームの相互運用性は、それぞれの環境で使用されるデータを調整し、設計データ転送をより効率的に自動化して設計の整合性を確保することで、これらの課題を回避します。AWR ソフトウェアの V22.1 リリースは、システム統合、サインオフ、および製造のために、Microwave Office ソフトウェアから Virtuoso および/または Allegro プラットフォームへの RF 回路図およびレイアウト IP の信頼性の高い転送をサポートする強化されたクロスプラットフォームの相互運用性を提供します。これにより、エンジニアリングチームは、Cadence ツールを主要な PCB、パッケージ、または IC 実装プラットフォームとして、RF IP 回路図/レイアウト設計データを提供する AWR ソフトウェアと共に使用して、物理実装のために、完成した RF IP を設計、検証し、Allegro PCB およびシステムインパッケージ(SiP)または Virtuoso プラットフォームに渡すことができます。

RF から PCB への製造ワークフロー

AWR V22.1のプラットフォームの相互運用性の強化により、Allegroプラットフォームを使用するレイアウトエンジニアは、AWR ソフトウェアからの RF 設計データを統合できます(図13)。

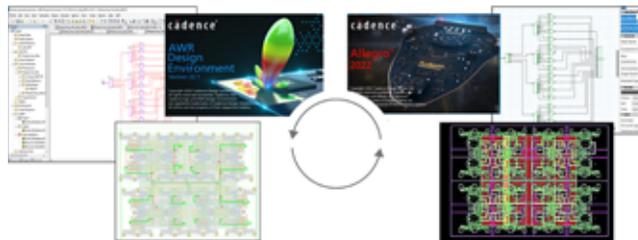


図13: AWR V22.1 のプラットフォームの相互運用性の強化により、Allegro プラットフォームを使用するレイアウトエンジニアは、AWRソフトウェアからのRF 設計データを統合できます

これにより、手作業による設計の再入力が必要なくなり、データをRF 設計とその定義コンポーネント、およびレイアウト環境で使用されるデータの両方に合わせることで、設計データが RF エンジニアリングチームによって開発されたバージョンと同一になることが保証されます。設計データには、RF の配線に使用される金属層を定義し、AWR プラットフォームでの EM 解析によって特性を計測される描画層と材料層、および表面実装コンポーネントと物理的なフットプリントとパッドスタックの定義が含まれます。RF 設計が完了すると、エンジニアは設計を新しいCadence 統合設計ライブラリとして簡単にエクスポートできます。このライブラリには、レイアウトエンジニアが RF 設計をPCB 設計に統合するためのすべての情報がパッケージ化されています。

MMIC とモジュール設計

高度なワイヤレスデバイスに搭載される高性能でコスト重視のシリコン(Si)製品は、多くの場合、高度に統合されたマルチデバイスおよびマルチファブリックモジュールに実装されます。デバイスの形状が数百ナノメートルから数ナノメートルに縮小し、より小さなテクノロジノードで製造された IC が劇的に改善された性能を提供できるようになりましたが、相補型金属酸化膜半導体(CMOS)だけでは、高周波空間で必要な要件を満たすことはできません。したがって、シリコンゲルマニウム(SiGe)、GaAs、GaN、リン化インジウム(InP)で開発された MMIC を含む、RF からミリ波へのアプリケーションにより適した技術が、表面弾性波(SAW)やバルク音響波(BAW)などのフィルタ技術と合わせて、多数の技術を使用して、モジュールまたはパッケージレベルでアドバンスノードの Si と組み合わせられます。高度なパッケージ/モジュールの相互接続技術には、マイクロポンプ、スタックダイ、インターポザー、ファンアウト、および多層基板が含まれる場合があります。その結果、これらは複雑な設計スタックアップと、さまざまな設計プラットフォームを使用するさまざまな設計チームから提供されるデータになります。相互接続が RF 信号を伝送する場合、適切な EM および熱解析技術を使用して最適な RF 整合性を実現するように設計する必要があります。

カプラ、フィルタ、またはアンテナなどの分布定数型の受動部品がモジュールに直接組み込まれている場合、RF 設計が必要になることもあります。モジュールの統合を成功させるには、1つの解析プラットフォームからの設計データを、製造を担当するプラットフォームで正確に取り込む必要があります。Cadence のツールでは、IC およびオフシリコンの RF 設計データ(AWR ソフトウェアで開発された回路図とレイアウトを含む)を、マルチテクノロジー統合の管理を担当する製造用レイアウトツールと交換できます。

AWR/Virtuoso の相互運用性と PDK の再利用

Cadence Virtuoso Analog Design Environment(ADE) 、 Cadence Spectre® Simulation Platform、および Spectre RF Optionは、エレクトロニクス設計業界で最も広く使用されているプラットフォームを使用して、この統合の課題に対処します。

AWR Design Environmentプラットフォームは、Virtuoso Schematic Editorおよび Virtuoso Layout Suiteへのエクスポート経路を備えた RF/マイクロ波設計作成環境が含まれています。設計者は、Microwave Officeソフトウェアで Virtuoso PDKを使用して Si RF/ミリ波 IP を作成および解析し、回路図とレイアウトを Virtuosoソフトウェアと共有して、解析、設計統合、およびバックエンド検証フローに備えることができます。これらのソフトウェアツール間の相互運用性により、RF/マイクロ波、アナログ、およびデジタル設計要素の設計と解析が容易になります。

EMX 3D Planar Solver統合

Si Virtuoso PDK RF 回路設計の EM 解析は、Cadence EMX Planar 3D Solver を使用して AWR プラットフォーム内から実行できます(図14)。EMX ソルバは、高周波、RF、ミックシグナルの Si IC向けに最適化されたEM シミュレータです。これにより、設計者は大規模な RF回路ブロックを正確かつ効率的に解析し、受動部品の動作を測定し、相互接続による寄生成分を解析できます。EMX Planar 3D Solver の独自の強みは、妥協のない速度と精度をもつ完全な自動化にあります。このツールは、業界をリードする有限要素および境界要素ツールよりも1桁以上高速であることがベンチマークされています。

Microwave Office に対応したものを含む Virtuoso PDK は、EMX ベースのPCells を提供し、ファウンドリ独自の techファイルと製造のための設計(DFM)のtechファイルによって定義されたオンチップの受動コンポーネントのレイアウトを自動的に生成するため、デザインルールに対してクリーンです。EMXソルバは、Si IC 構造を解く際に非常に効率的かつ正確であり、ファウンドリによって広くサポートされています。Microwave Office ソフトウェアに対応した新しいVirtuoso PDK には、ファウンドリ認定の EMX の受動コンポーネントを含めることができます。

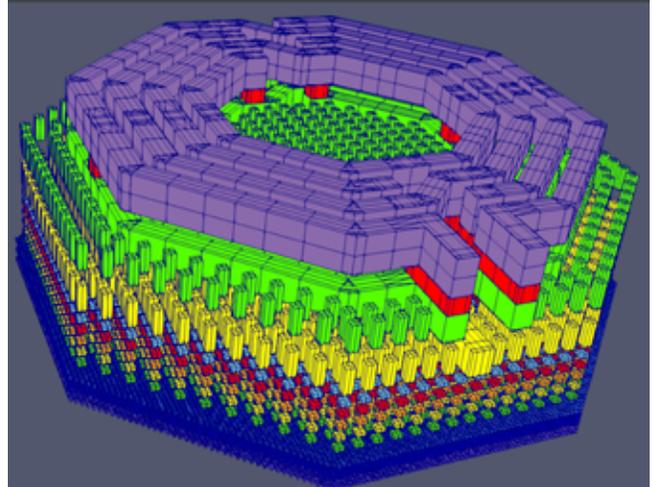


図14: Si Virtuoso PDK RF 回路設計の EM 解析は、Cadence EMXPlanar 3D Solver を使用して AWR プラットフォーム内から実行できます

強化された Spectre RF 統合と Spectre ネットリストインポートユーティリティ

RF 設計の焦点がモジュールファブリック内にあり、Si IC 自体の電氣的表現が必要な場合、Microwave Office ソフトウェアは、AWR プロジェクトに埋め込まれた Spectre ネットリストのために、回路オプションダイアログボックス内の新しいSpectreタブで、AWR Design Environment プラットフォームでの Spectre RF 解析の簡単な設定をサポートするようになりました。新しいユーティリティスクリプトを使用すると、ユーザーは Spectre ネットリストのブロックをインポートして、VSSテストベンチで解析したり、RFIC/モジュールの協調設計のためにAWR プロジェクト(回路)に埋め込んだりできる回路図シンボルを作成できます。これにより、モジュールに焦点を合わせているRF設計チームは、RFIC の重要な部分を解析に組み込むことができます。これは、オフチップチューニング、インピーダンス整合などの場合と同様です。

まとめ

新興の 5G/6G および IoT システム向けの次世代の RF からミリ波対応のシステムには、フロントツークバックの実装と設計を可能にするプラットフォームの相互運用性と設計検証ワークフローを備えた、IC、パッケージ、およびボード全体にわたってより優れた設計サポートを提供するアプローチが必要です。このホワイトペーパーでは、AWR 22.1ソフトウェアの機能について説明しました。これは、Clarity 3D Solver および Celsius Thermal Solver との統合を強化し、インデザインの解析要件に対処することで、RF 設計とシステム統合の間のギャップを埋めます。

詳細なボード/パッケージ実装のための Allegro ツールとのデータ転送の高速化が、高周波、RF、およびミックスシグナルの Si IC解析のための Virtuoso PDKの再利用と EMX Planar 3D Solverの統合と合わせて強調されています。

AWR Design Environment V22.1 は、MMIC、RFIC、パッケージ、モジュール、および PCB 技術全体にわたる RF/マイクロ波部品およびシステムの開発を、設計の自動化、強化された RF解析およびデバイスモデリング、グループ設計のサポート、加速された最適化、強力なインデザインの解析、製造のワークフローのための設計によって加速します。

The Cadence logo consists of the word "cadence" in a lowercase, sans-serif font. A red vertical line is positioned to the left of the text, extending from the top of the page down to the bottom of the logo area.

Cadenceは電子設計分野およびcomputational softwareの専門知識における業界の中心的なリーダーであり、Intelligent System Design戦略の下で設計コンセプトを具現化します。Cadenceのお客様は世界で最もクリエイティブかつ革新的な企業であり、最もダイナミックな市場のアプリケーションに向け、チップ、ボードからシステムに至るまで卓越した電子製品を提供しています。www.cadence.com

© 2023 Cadence Design Systems, Inc. All rights reserved worldwide. Cadence, the Cadence logo, and the other Cadence marks found at www.cadence.com/go/trademarks are trademarks or registered trademarks of Cadence Design Systems, Inc. All other trademarks are the property of their respective owners. J14759 03/23 SA/VY/PDF

